

Микропроцессор BE-M1000

Краткое описание (Datasheet)

Документ: BE-M1-DS-Rus#1203

1 Общие сведения

Микропроцессор BE-M1000 представляет собой *систему на кристалле (СНК)* широкого назначения для применения в персональных компьютерах, микросерверах, мультимедийном оборудовании, сетевых коммуникациях, в объектах промышленной автоматизации, управления и инженерной инфраструктуры и сочетает высокую производительность и низкое энергопотребление.

Микропроцессор имеет восемь ядер Arm® Cortex™-A57 с рабочей частотой 1500 МГц и оснащён когерентной кэш памятью L1, L2, и L3 уровня.

Видеоподсистема включает два видеоконтроллера (LVDS и HDMI) и 4K видео декодер. Графический сопроцессор Arm® Mali™-T628 имеет восемь графических ядер.

СНК содержит два контроллера памяти DDR3/4 и широкий набор периферийных интерфейсов: PCIe Gen3, 10 Gb Ethernet, 1 Gb Ethernet, USB 3.0, USB 2.0, SATA 6G, eMMC/SD, I²S, SPI, UART, I²C, GPIO, и т.п.

СНК поддерживает технологию безопасности Arm® TrustZone® и обладает возможностями построения доверенных систем.

1	ОБЩИЕ СВЕДЕНИЯ	1
1.1	ОСНОВНЫЕ ХАРАКТЕРИСТИКИ	2
1.2	БЛОК-СХЕМА	3
2	СОСТАВ МИКРОПРОЦЕССОРА	4
3	ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ	16
3.1	ПАРАМЕТРЫ ЭЛЕКТРОПИТАНИЯ	16
3.2	ВНЕШНЕЕ ТАКТОВОЕ ПИТАНИЕ	17
4	ПОРЯДОК ЗАПУСКА МИКРОПРОЦЕССОРА	23
5	ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ	24
5.1	СПИСОК ВЫВОДОВ	24
5.2	КАРТА КОНТАКТОВ КОРПУСА	77
6	КОРПУС МИКРОПРОЦЕССОРА	84
6.1	КОРПУС FCBGA-1521	84
6.2	ПАЙКА МИКРОСХЕМЫ НА ПЛАТУ	86
7	ИНФОРМАЦИЯ ДЛЯ ЗАКАЗА	87
	КОНТАКТНАЯ ИНФОРМАЦИЯ	88
	ИСТОРИЯ ИЗМЕНЕНИЙ	88

1.1 Основные характеристики

Таблица 1-1 Основные характеристики микропроцессора

Наименование	Описание
Процессорный модуль на базе архитектуры Armv8-A	Четыре двухъядерных процессорных кластера Arm Cortex-A57 с частотой 1500 МГц 1 МБ L2 кэш в каждом кластере
Графический модуль	Графический процессор Arm Mali-T628 GPU с 8 ядрами (два 4-х ядерных кластера) с частотой 500 МГц. В каждом кластере кэш уровня L2 128 КБ
PVT мониторинг	Мониторинг напряжений, температур и вариативности параметров процесса для корректировки рабочих напряжений и частот Пять PVT сенсоров: в каждом процессорном кластере Arm Cortex-A57 и в графическом модуле Arm Mali-T628
Кэш уровня L3	Системная шина имеет когерентный кэш уровня L3 – 8 МБ
Интерфейсы внешней памяти	Два интерфейса 64-bit DRAM с поддержкой DDR4-2400/DDR3-1600 и корректирующих кодов
Высокоскоростные интерфейсы	Три интерфейса <i>PCI Express (PCIe)</i> Gen3: PCIe x8 и два PCIe x4
	Два интерфейса USB 3.0/2.0 и четыре интерфейса USB 2.0
	Два интерфейса SATA 6G
	Два интерфейса 10 Gb Ethernet (10GBASE-KX4, 10GBASE-KR)
	Два контроллера 1 Gb Ethernet RGMII
Низкоскоростные интерфейсы	Контроллер сменных накопителей (eMMC/SD/SDIO)
	Четыре программируемых таймера
	GPIO*32
	Два контроллера UART
	Последовательный периферийный интерфейс SPI
	Расширенный последовательный интерфейс eSPI
	Два контроллера I ² C
	Два контроллера SMBus
Мультимедиа	Видеоконтроллер с интерфейсом LVDS
	Видеоконтроллер с интерфейсом HDMI 2.0
	4K видеodeкодер
	Интерфейс I ² S
Безопасность	Архитектура Arm TrustZone
	TrustZone контроллер
	Защищённая загрузка
Система отладки	Система отладки и трассировки Arm [®] CoreSight™
Корпус	FCBGA-1521, 40x40 мм, 1521 выводов, шаг выводов 1 мм
Потребляемая энергия	Не более 28.5 Вт
Технология	КМОП, 28 нм

1.2 Блок-схема

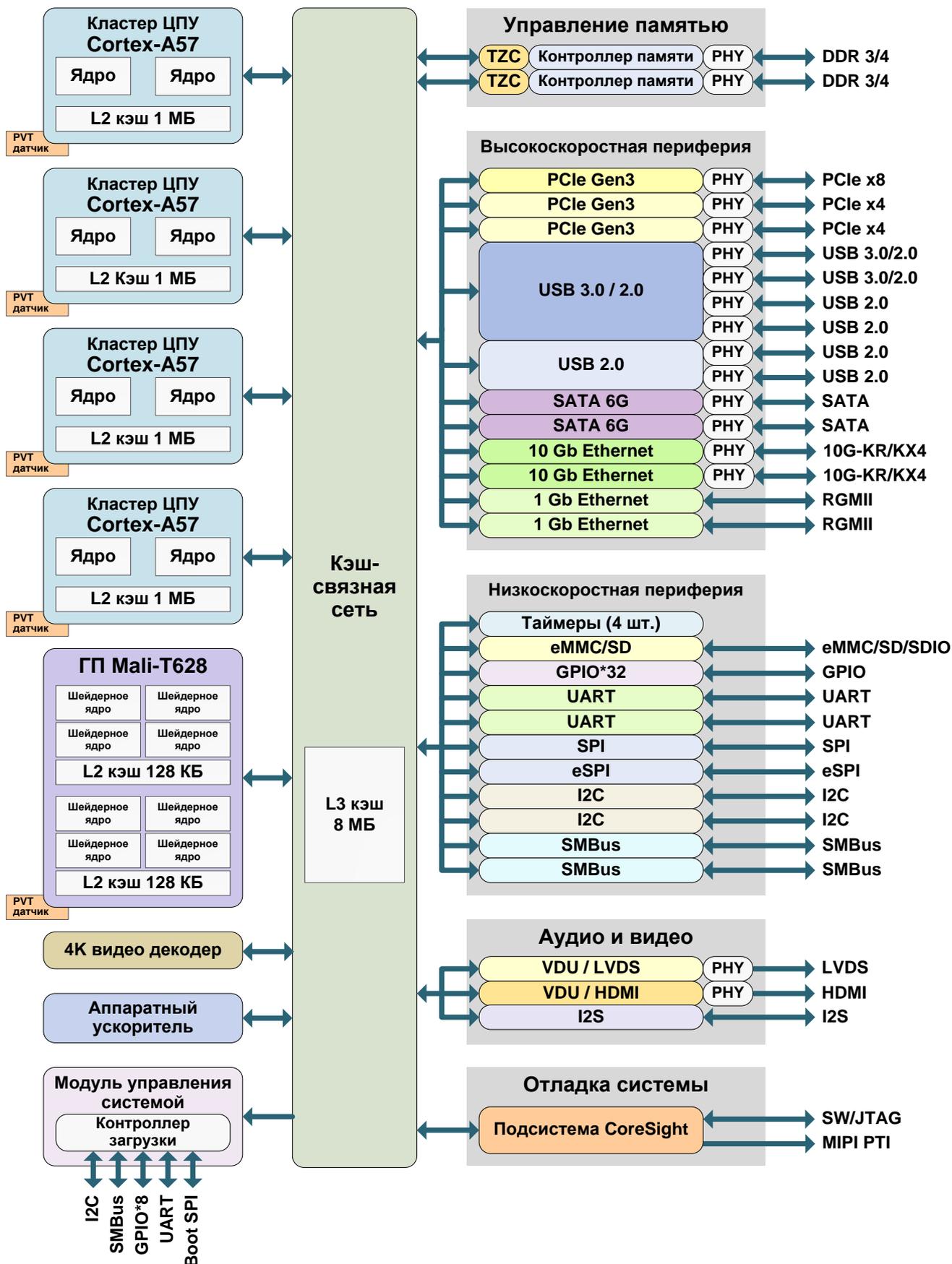


Рис. 1-1 Блок-схема

2 Состав микропроцессора

Таблица 2-1 Состав микропроцессора

Модуль/подсистема	Краткое описание
Процессорный модуль на базе Arm Cortex-A57	<p>СнК имеет четыре двухъядерных процессорных кластера Arm Cortex-A57 (всего 8 ядер).</p> <p>Кластер Arm Cortex-A57 основан на архитектуре Armv8-A и представляет собой высокопроизводительное устройство с низким энергопотреблением.</p> <p>Каждый кластер включает два ядра с рабочей частотой 1500 МГц и оснащён L2 кэш памятью 1 МБ.</p> <p>Каждое ядро имеет 48 КБ L1 кэш команд и 32 КБ L1 кэш данных.</p> <p>Процессорные ядра Arm Cortex-A57 могут работать в защищённом и незащищённом режимах в соответствии с технологией Arm TrustZone</p>
Контроллер памяти DDR3/4	<p>СнК обладает двумя идентичными контроллерами памяти с интегрированными интерфейсами физического уровня (PHY).</p> <p>Интеграция DDR3/4 контроллера и DDR PHY образует полное решение для подключения к СнК устройств памяти следующих типов:</p> <ul style="list-style-type: none"> • DDR3-1600, 64/32 разряда; • DDR4-2400, 64/32 разряда <p>Каждый контроллер обладает следующими возможностями:</p> <ul style="list-style-type: none"> • Поддержка до 64 ГБ физической памяти; • Поддержка до 4 ранков памяти; • Коды с коррекцией однократных ошибок и обнаружением двойных ошибок; • Поддержка режима соотношения частот 1:2; • Поддержка стандартов DDR3U, DDR3L, DDR4U и DDR4L; • Поддержка стандартов UDIMM и RDIMM; • Архитектура с малой площадью и низким энергопотреблением; • Программируемая поддержка тайминга команд памяти 1T/2T; • Программно управляемая приоритизация; • Автоматическая поддержка режима низкого энергопотребления DDR3/4 <p>Подсистема управления памятью объединена с контроллерами Arm TrustZone для обеспечения работы доверенных систем</p>

Таблица 2-1 Состав микропроцессора (продолжение)

Модуль/подсистема	Краткое описание
Системная шина с когерентным кэшем L3	<p>Системная шина организована на основе Arm® CoreLink™ CCN-504. Шина обеспечивает взаимосвязь основных подсистем СнК и управляет использованием кэш памяти уровня L3 для этих подсистем.</p> <p>Высокопроизводительный распределённый системный кэш ёмкостью 8 МБ включает интегрированные сегменты point-of-serialization (PoS) и point-of-coherency (PoC) и может быть использован для кэширования при вычислениях и вводе-выводе.</p> <p>CCN имеет следующие характеристики:</p> <ul style="list-style-type: none"> • Топология кольцевой шины двойной симплексной связи; • Один 128-разрядный симплексный канал данных; • Broadcast snoop channel; • Передача distributed virtual memory (DVM) сообщений; • Управление приоритетом обслуживания; • Мониторинг событий, связанных с функционированием; • Сбор сигналов об ошибках с использованием шины ошибок, с единой точкой координации прерываний в случае ошибок; • Раздельная память для безопасных и небезопасных транзакций
Графический модуль на основе Arm Mali™-T628 GPU	<p>Модуль обеспечивает полную платформу ускорения обработки графических данных на основе открытых стандартов. Поддерживает 2D графику, 3D графику и вычисления общего назначения на графических процессорах.</p> <p>Графический процессор имеет следующие характеристики:</p> <ul style="list-style-type: none"> • Два кластера; • 4 графических ядра с частотой 500 МГц в каждом из кластеров; • 128 КБ кэш уровня L2 в каждом кластере; • Плавное выравнивание загрузки активных ядер; • Поддержка сжатых форматов ETC2, EAC1, ETC2-EAC; • Поддержка следующих программных интерфейсов: <ul style="list-style-type: none"> ○ OpenGL ES 1.1, 2.0, 3.0, 3.1; ○ OpenCL 1.1; ○ RenderScript • Сглаживание (устранения «зубчатости») (4xFSAA, 16xFSAA) с минимальным снижением производительности; • Адаптивное, масштабируемое сжатие текстур; • Аппаратная реализация операций с 64-разрядными скалярными и векторными, целыми и действительными типами данных – основа для ускорения сложных и вычислительно-ёмких алгоритмов; • Может работать в безопасном и небезопасном режиме

Таблица 2-1 Состав микропроцессора (продолжение)

Модуль/подсистема	Краткое описание
Модуль управления системой	<p>Модуль используется для управления всеми подсистемами СнК. В его состав входят следующие блоки:</p> <ul style="list-style-type: none"> • Процессор управления системой, выполняющий вспомогательные функции: <ul style="list-style-type: none"> ○ запуск микропроцессора; ○ использование контроллера начальной загрузки; ○ начальное конфигурирование всех модулей СнК; ○ надзор за состоянием СнК путём опроса встроенных PVT датчиков • Контроллер загрузки, имеющий набор выделенных интерфейсов (SPI, I²C, SMBus, UART, and GPIO*8), недоступных для ядер Cortex[®]-A57, для считывания загружаемого кода; • Блок управления тактированием, предназначен для формирования тактовых частот и сигналов сброса для различных модулей и подсистем СнК
Подсистема PCIe Gen 3.0	<p>СнК имеет три подсистемы PCIe Gen 3.0: два PCIe x4 и один PCIe x8. Каждая подсистема PCIe имеет головной коммутатор (Root Complex controller), соответствующий PCI Express Base Specification 3.0, и интегрированный интерфейс PHY. Каждая подсистема PCIe обладает следующими возможностями:</p> <ul style="list-style-type: none"> • Скорость до 8.0 ГТ/с (~1.0 ГБ/с) на каждый пакет данных; • Управление энергопотреблением в зависимости от активности PCIe active state power management (ASPM); • Усовершенствованная обработка ошибок PCIe – advanced error reporting (AER); • Внутренний блок трансляции адреса; • Встроенный многоканальный контроллер прямого доступа к памяти (далее DMA контроллер); • Автоматическое реверсирование полос; • Генерация и проверка контрольных сумм ECRC; • Максимальный размер пакета данных: <ul style="list-style-type: none"> ○ 256 байт для PCIe x4; ○ 512 байт для PCIe x8 • Один виртуальный канал для PCIe x4, два виртуальных канала для PCIe x8 <p>Каждая подсистема может работать в безопасном и небезопасном режиме</p>

Таблица 2-1 Состав микропроцессора (продолжение)

Модуль/подсистема	Краткое описание
4K видеодекодер	<p>Декодер используется для декодирования потоков видеоданных в следующих форматах:</p> <ul style="list-style-type: none"> • H.265 (HEVC): до 4096x2304 на частоте 30 кадров/с; • H.264, MPEG4, MPEG2, VP8, VP6, VC1, AVS, RealVideo и JPEG: до 1080p на частоте 60 кадров/с <p>Декодер загружает кодированные видеоданные из памяти системы, декодирует их и помещает готовую к визуализации информацию в кадровый буфер блока управления дисплеем (VDU).</p> <p>Может работать в безопасном и небезопасном режиме</p>
Аппаратный ускоритель	<p>Аппаратный ускоритель (HWA) предназначен для повышения производительности вычислений. Ускоритель состоит из аппаратных модулей, реализующих специальные алгоритмы обработки данных</p>
Модуль USB 3.0/2.0	<p>Модуль содержит два интерфейса USB 3.0 и два интерфейса USB 2.0 с интегрированными интерфейсами PHY</p> <p>Контроллер USB 2.0 совместим со спецификацией xHCI корпорации Intel. Он оптимизирован для сверхскоростных приложений и систем и поддерживает следующие типы устройств:</p> <ul style="list-style-type: none"> • Super-Speed через интерфейс USB 3.0 (4 Гб/с на входе и выходе); • High-Speed, Full-Speed и Low-Speed через любой интерфейс <p>Контроллер имеет несколько шинных интерфейсов для поддержки одновременных обменов через каждый порт USB 3.0/2.0. Поэтому в текущей конфигурации (четыре шины для двух SS портов и двух HS портов), контроллер имеет пропускную способность 9.92 Гб/с (2 * 4G Гб/с + 2 * 480 Мб/с по входам и 2 * 4 Гб/с + 2 * 480 Мб/с по выходам).</p> <p>Модуль может работать в безопасном и небезопасном режиме</p>
Модуль USB 2.0	<p>Модуль содержит два интерфейса USB 2.0 с интегрированными интерфейсами PHY.</p> <p>Контроллер USB 2.0 совместим со спецификацией xHCI корпорации Intel. Он оптимизирован для приложений и систем с широкой полосой пропускания и поддерживает следующие типы устройств:</p> <ul style="list-style-type: none"> • High-Speed (480 Мб/с); • Full-Speed (12 Мб/с); • Low-Speed (1.5 Мб/с) <p>Модуль может работать в безопасном и небезопасном режиме</p>

Таблица 2-1 Состав микропроцессора (продолжение)

Модуль/подсистема	Краткое описание
Подсистема SATA 6G	<p>СнК имеет два идентичных однопортовых контроллера SATA 6G с интегрированными интерфейсами PHY.</p> <p>Подсистема SATA поддерживает следующие возможности:</p> <ul style="list-style-type: none"> • Скорость 6 Гб/с; • eSATA (внешняя аналоговая логика требует поддержки eSATA); • Соответствие спецификациям Serial ATA 3.2 и AHCI Revision 1.3; • Перекодирование 8б/10б; • Кодирование с коррекцией ошибок; • Управление энергопотреблением, включая автоматический переход между режимами ожидания и спячки; • Встроенные средства самотестирования BIST по кольцевому каналу; • Внутренний DMA контроллер для каждого порта <p>Каждая подсистема может работать в безопасном и небезопасном режиме</p>
Подсистема XGMAC	<p>СнК имеет две подсистемы XGMAC с интегрированными интерфейсами физического уровня XPCS и PHY.</p> <p>Подсистема 10 Gb Ethernet позволяет передавать и принимать данные по Ethernet в соответствии со стандартом IEEE 802.3-2008 для двух типов 10 Гб портов 10GBASE-KX4 и 10GBASE-KR.</p> <p>XGMAC поддерживает следующие возможности:</p> <ul style="list-style-type: none"> • Полнодуплексная работа на 10 Гб/с; • Полное соответствие с Clause 71 (10GBASE-KX4) и Clause 72 (10GBASE-KR) стандарта IEEE 802.3-2008; • Полное соответствие с Clause 78 (EEE) стандарта IEEE 802.3az для 10 Гб/с; • Программируемая длина кадра с поддержкой от стандартных до “jumbo” (до 16 КБ) Ethernet кадров; • Поддержка помеченных кадров VLAN-tagged в соответствии со стандартом IEEE 802.1Q <p>Каждая подсистема может работать в безопасном и небезопасном режиме</p>

Таблица 2-1 Состав микропроцессора (продолжение)

Модуль/подсистема	Краткое описание
Подсистема GMAC	<p>СНК имеет два однопортовых контроллера GMAC.</p> <p>Контроллер позволяет передавать и принимать данные по Ethernet в соответствии со стандартом IEEE 802.3-2008.</p> <p>Контроллер поддерживает следующие возможности:</p> <ul style="list-style-type: none"> • Скорость обмена данными 10, 100, и 1000 Мб/с с интерфейсом RGMII для связи с внешними гигабитными PHY интерфейсами; • Работа в полнодуплексном режиме; • Работа в полудуплексном режиме; • Встроенный DMA контроллер с независимыми каналами приёма и передачи <p>Каждый контроллер может работать в безопасном и небезопасном режиме</p>
Контроллер карт памяти	<p>eMMC/SD контроллер обеспечивает связь с картами памяти мобильных/портативных устройств в соответствии со спецификациями SD UHS-I и eMMC.</p> <p>Контроллер поддерживает следующие возможности:</p> <ul style="list-style-type: none"> • Поддержка протокола цифровых интерфейсов SD memory и SD input/output (SDIO) и соответствие спецификации SD HCI; • Поддержка протоколов eMMC, включая eMMC 5.1; • Поддержка режимов до SD-HCI Host version 4; • Встроенный DMA контроллер; • Программная настройка в режимах SD UHS-I и eMMC
Программируемые периферийные таймеры	<p>Модуль содержит четыре независимых периферийных таймера. Каждый таймер представляет собой 32-разрядный программируемый таймер, поддерживающий режимы “free-running” (безостановочный повторный счёт в пределах разрядности) и “user-defined count”.</p> <p>В режиме “user-defined count” таймер считает вниз от запрограммированного значения и генерирует прерывание по достижении нуля. Прерывание от таймера доступно даже при остановленном тактировании системной шины</p>
Контроллер GPIO*32	<p>Контроллер GPIO предоставляет 32-разрядный программируемый интерфейс для связи с внешними устройствами. Контакты GPIO могут использоваться как входы или выходы. Контроллер управляет направлением передачи данных, подаёт на контакты выходные данные, а также считывает входные данные с использованием отображаемых в память регистров.</p> <p>Контроллер имеет один порт с 32 индивидуально управляемыми сигналами</p>

Таблица 2-1 Состав микропроцессора (продолжение)

Модуль/подсистема	Краткое описание
Интерфейс UART для низкоскоростной периферии	<p>СНК имеет два интерфейса UART для низкоскоростной периферии. UART представляет собой программируемый интерфейс для последовательной связи с периферийными устройствами и внешними носителями данных.</p> <p>Каждый UART обеспечивает низкоскоростным периферийным устройствам доступ к DMA контроллеру, который может управлять незащищённой передачей данных между UART и памятью.</p> <p>Данные записываются в UART Master-устройством (процессором приложений или DMA контроллером), преобразуются в последовательную форму и передаются в назначенное устройство-получатель. UART также принимает последовательные данные и накапливает их для считывания Master-устройством.</p> <p>UART содержит регистры, которые управляют:</p> <ul style="list-style-type: none"> • разрядностью символов; • скоростью передачи, до 1,5 Мбод; • выставлением и проверкой признаков чётности; • выставлением прерываний
Интерфейс SPI	<p>SPI представляет собой полнодуплексный Master или Slave-синхронный последовательный интерфейс, используемый для связи на коротких расстояниях.</p> <p>SPI обеспечивает низкоскоростным периферийным устройствам доступ к DMA контроллеру, который может управлять незащищённой передачей данных между SPI и памятью.</p> <p>Master-устройство (процессор приложений или DMA контроллер) имеет доступ к данным, управлению и информации о статусе SPI контроллера через APB интерфейс.</p> <p>Контроллер SPI действует как последовательное Master-устройство. Он может подключаться к последовательным периферийным Slave-устройствам через интерфейс Motorola SPI</p>
Интерфейс eSPI	<p>eSPI представляет собой синхронный последовательный интерфейс, используемый для связи на коротких расстояниях.</p> <p>eSPI устройства осуществляют связь в полнодуплексном режиме с использованием Master-Slave архитектуры с одним Master-устройством.</p> <p>Master-устройство создаёт кадр для чтения и записи. Индивидуальные связи для выбора Slave-устройств позволяют обеспечивать работу со множеством Slave-устройств.</p> <p>Интерфейс имеет следующие параметры:</p> <ul style="list-style-type: none"> • до 8 Slave-устройств; • максимальная полоса пропускания для передачи данных 4x 50 МГц

Таблица 2-1 Состав микропроцессора (продолжение)

Модуль/подсистема	Краткое описание
Интерфейсы I ² C	<p>Интерфейс I²C представляет собой программируемый последовательный интерфейс, который обеспечивает поддержку линий связи между устройствами, подключёнными к шине.</p> <p>СНК имеет два идентичных I²C интерфейса общего назначения.</p> <p>I²C интерфейс имеет следующие характеристики:</p> <ul style="list-style-type: none"> • Три скорости: <ul style="list-style-type: none"> ○ стандартный режим (до 100 Кб/с); ○ быстрый режим (до 400 Кб/с) или быстрый-плюс (до 1000 Кб/с); ○ высокоскоростной режим (до 3.4 Мб/с) • Действие в качестве Master- или Slave-устройства; • 7- или 10-разрядную адресацию; • Передачу в комбинированном 7- или 10-разрядном формате <p>Каждый I²C модуль имеет интерфейс подтверждений с DMA контроллером низкоскоростной периферии (далее DMA LSP), который может управлять незащищённой передачей данных между I²C и памятью</p>
Контроллеры SMBus	<p>СНК имеет два SMBus контроллера.</p> <p>SMBus является двухпроводным двунаправленным интерфейсом, по которому многие I²C устройства могут обмениваться информацией.</p> <p>Сообщения идут к устройствам и от них, вместо прохождения по отдельным управляющим линиям</p>
Модуль управления дисплеем с выходным интерфейсом LVDS	<p>Модуль управления дисплеем VDU представляет собой контроллер дисплея общего назначения, используемый для управления разнообразными дисплеями в широком диапазоне размеров и возможностей.</p> <p>Модуль обладает следующими характеристиками:</p> <ul style="list-style-type: none"> • Широкий программируемый диапазон разрешения LCD панелей до 4096x4096; • Глубина цвета до 24 бит; • Четырёхканальный низковольтный дифференциальный интерфейс LVDS; • Встроенный DMA контроллер; • Программируемые временные параметры вертикальной и горизонтальной развёртки; • Аппаратный курсор; • Два наложенных окна в дополнение к основному экрану

Таблица 2-1 Состав микропроцессора (продолжение)

Модуль/подсистема	Краткое описание
Контроллер прямого доступа к памяти для низкоскоростной периферии	<p>DMA LSP реализует возможность прямой передачи данных без использования CPU между памятью и низкоскоростным устройством, подключённым к UART, SPI или I²C.</p> <p>Это помогает достигнуть максимальной производительности системы путём уменьшения загруженности процессорных ядер.</p> <p>DMA контроллер может работать только в небезопасном режиме и имеет следующие основные характеристики:</p> <ul style="list-style-type: none"> • 8 каналов, объединённые в пары для источника и получателя; • Однонаправленные каналы – данные передаются только в одном направлении; • Многоблочные пересылки; • Один FIFO буфер для каждой пары источник-получатель; • Автоматическая упаковка и распаковка данных для соответствия разрядности FIFO
DMA контроллер для передач между блоками памяти	<p>DMA контроллер для передач между блоками памяти (MEM2MEM) предоставляет возможность прямой передачи данных между блоками памяти без использования CPU.</p> <p>Контроллер реализует технологию безопасности TrustZone с одним интерфейсом APB, работающим в безопасном режиме и другим, работающим в небезопасном режиме.</p> <p>Наличие двух APB интерфейсов позволяет разделить действия DMA контроллера на работу безопасном и небезопасном состояниях</p>

Таблица 2-1 Состав микропроцессора (продолжение)

Модуль/подсистема	Краткое описание
Модуль управления дисплеем HDMI	<p>Модуль управления дисплеем VDU интерфейсом физического уровня HDMI PHY обеспечивает передачу видео и аудио данных на внешние HDMI-совместимые устройства: компьютерный дисплей, видеопроектор, цифровой телевизор или цифровые аудио устройства.</p> <p>Модуль обладает следующими характеристиками:</p> <ul style="list-style-type: none"> • Характеристики VDU: <ul style="list-style-type: none"> ○ широкий программируемый диапазон разрешения LCD панелей до 4096x4096; ○ глубина цвета до 24 бит; ○ встроенный DMA контроллер; ○ программируемые временные параметры вертикальной и горизонтальной развёртки; ○ аппаратный курсор; ○ два наложенных окна в дополнение к основному экрану • Три TDMS канала данных с пропускной способностью каждого 6 Гб/с; • Максимальная общая пропускная способность 18 Гб/с (3 канала по 6 Гб/с); • Характеристики в соответствии со спецификацией HDMI 2.0: <ul style="list-style-type: none"> ○ все видеоформаты CEA-861-F; ○ динамический диапазон; ○ поддержка вспомогательного кадра dynamic range and mastering infoframe (DRM) • Встроенный DMA контроллер для аудио; • Полоса пропускания аудио данных до 24,676 Мб/с <p>Контроллер может работать в безопасном и небезопасном режиме</p>
Контроллер звуковой шины I ² S	<p>Контроллер звуковой шины I²S представляет собой программируемый модуль, используемый для последовательной связи с периферийными устройствами.</p> <p>Он предназначен для использования в системах, обрабатывающих цифровые аудиосигналы:</p> <ul style="list-style-type: none"> • АЦП и ЦАП преобразователи; • Цифровые сигнальные процессоры; • Корректоры ошибок для компактных дисков и цифровой записи; • Цифровые фильтры; • Цифровые входные/выходные интерфейсы

Таблица 2-1 Состав микропроцессора (продолжение)

Модуль/подсистема	Краткое описание
Подсистема отладки CoreSight	<p>Подсистема отладки предоставляет стандартную реализацию интерфейса Arm Debug Interface для работы с отладочными инструментами:</p> <ul style="list-style-type: none"> • Serial Wire or JTAG Debug Port; • Trace Port Interface <p>Подсистема поддерживает следующие методы отладки СнК:</p> <ul style="list-style-type: none"> • «Внешняя» отладка – обычная отладка через интерфейс SW/JTAG; • «Самоисполняемая» отладка – обычная отладка на работающем процессоре с использованием отладочного монитора, размещённого в памяти; • Протоколирование аппаратных и программных событий, которое записывается в память, а также выдаётся на внешнюю отладочную систему через трассировочный порт parallel trace interface (MIPI PTI) <p>Подсистема может работать в безопасном и небезопасном режиме</p>
Контроллер защищённого режима Arm TrustZone	<p>Технология Arm TrustZone позволяет разделить исполняемый код, память и периферию на два домена — доверенный и недоверенный.</p> <p>В составе СнК имеются два контроллера <i>trust zone controller (TZC)</i>, которые включены на пути к соответствующим DDR контроллерам для фильтрации адресов доверенной и недоверенной зон в соответствии с технологией Arm TrustZone.</p> <p>Для обеспечения защиты диапазонов адресов, предназначенных для приложений, TZC состоит управляющей и фильтрующей частей. Управляющая часть TZC содержит программируемые регистры для конфигурирования таблицы правил, задающих ограничения доступа для 8-ми неразрывных регионов памяти путём указания доступности региона в защищённом или незащищённом режиме.</p> <p>Все обращения к памяти, поступающие на контроллер, проходят через фильтр, определяющий доступность адреса в зависимости от его статуса защищённый-незащищённый. Кроме того, в незащищённом режиме доступ может быть ограничен в зависимости от модуля - источника транзакции</p>

Таблица 2-1 Состав микропроцессора (продолжение)

Модуль/подсистема	Краткое описание
<p>Подсистема мониторинга PVT</p>	<p>Мониторинг напряжений, температур и вариативности параметров процесса предназначен для корректировки рабочих напряжений и частот. СнК содержит пять идентичных блоков PVT датчиков: в каждом процессорном кластере Cortex-A57 и в графическом модуле Mali.</p> <p>Каждый из PVT блоков выполняет следующие функции:</p> <ul style="list-style-type: none"> • Измерение PVT значений: <ul style="list-style-type: none"> ○ температуры; ○ напряжения; ○ вариации процесса: <ul style="list-style-type: none"> ▪ Low-Vt process (LVT); ▪ Standard-Vt process (SVT); ▪ High-Vt process (HVT) • Готовность результатов измерений определяется путём опроса регистра данных или прослушивания прерываний; • Программируемые верхние и нижние пороговые значения измеряемых PVT параметров для выставления прерываний; • Программируемый таймаут повторного измерения PVT параметров

3 Электрические характеристики

Примечание: Приведены предварительные значения электрических характеристик, которые могут быть подвергнуты изменениям

3.1 Параметры электропитания

Микросхема получает питание с печатной платы от шести независимых источников с использованием общего контакта земли. Следующая таблица содержит информацию о подключении питания, используемых контактах, напряжениях и потребляемой мощности.

Таблица 3-1 Параметры электропитания

Тип питания	Контакты корпуса	Напряжение, В	Максимальная мощность, Вт
Питание ядер	VDD		
Питание 0.95 В	VDD_HDMI_09 VDD_USB2_09 VDD_USB3_0_09 VDD_USB3_1_09 VDD_USB3TX_0_09 VDD_USB3TX_1_09 VDD_USB3_VP_0_09 VDD_USB3_VP_1_09 VDD_PCIE4_0_09 VDD_PCIE4_1_09 VDD_PCIE8_09 VDD_SATA_09 VDD_SATATX_09 VDD_XG0_09 VDD_XG1_09	0.95 ± 5 %	23
Питание схем ФАПЧ (PLL)	VDDPLL_0_09 VDDPLL_1_09 VDDPLL_2_09 VDDPLL_3_09 VDDPLL_HDMI_09	0.9 ± 10 %	0.17
Питание контроллеров памяти	VDDQ_DDR0 VDDQ_DDR1	DDR3: 1.5 ± 5 % DDR4: 1.2 ± 5 %	3.0
Питание 1.5 В	VDD_PCIE4_0_15 VDD_PCIE4_1_15 VDD_PCIE8_15 VDD_XG0_15 VDD_XG1_15	1.5 ± 5 %	1.0

Таблица 3-1 Параметры электропитания (продолжение)

Тип питания	Контакты корпуса	Напряжение, В	Максимальная мощность, Вт
Питание 1.8 В	VDD_DDR0_PLL VDD_DDR1_PLL VDD_HDMI_18 VDD_PVT_18 VDD_SATA_18 VDD_USB2_18 VDDIO	1.8 ± 10 %	0.6
Питание 3.3 В	VDD_SD_33 VDD_USB2_0_33 VDD_USB2_1_33 VDD_USB2_2_33 VDD_USB2_3_33 VDD_USB3_33	3.3 -6.9% +4.8%	0.7
Земля	VSS	-	-
Всего			~28.47 Вт

3.2 Внешнее тактовое питание

3.2.1 Тактовые частоты

Таблица 3-2 Тактовые частоты

Тактовый сигнал	Контакты корпуса	Частота	Примечания
Основная тактовая частота	CLK25M	25 МГц	-
Тактовая частота XGbE PHY	XG0_REF_CLKN XG0_REF_CLKP XG1_REF_CLKN XG1_REF_CLKP	156.25 МГц	Дифф. пара
Тактовая частота PCIE PHY	PCIE4_0_REF_CLKN PCIE4_0_REF_CLKP PCIE4_1_REF_CLKN PCIE4_1_REF_CLKP PCIE8_REF_CLKN PCIE8_REF_CLKP	100 МГц	Дифф. пара
Тактовая частота SATA PHY	SATA_REFCLKP SATA_REFCLKM	100 МГц	Дифф. пара

Таблица 3-2 Тактовые частоты (продолжение)

Тактовый сигнал	Контакты корпуса	Частота	Примечания
Дополнительный вход тактовой частоты USB3 PHY	USB3_0_REFCLKN USB3_0_REFCLKP USB3_1_REFCLKN USB3_1_REFCLKP	100 МГц (номинальное значение)	Дифф. пара
USB2 PHY: XI – вход пьезогенератора, XO – вход пьезогенератора или вход тактовой частоты печатной платы	USB2_0_XI USB2_0_XO USB2_1_XI USB2_1_XO USB2_2_XI USB2_2_XO USB2_3_XI USB2_3_XO	50 МГц	
Опорная частота PLL HDMI	HDMI_PLL_27M	27 МГц	
Опорная частота PLL LVDS	LVDS_PLL_27M	27 МГц	

3.2.2 Требования к тактовым частотам

3.2.2.1 Тактовая частота SATA PHY

Таблица 3-3 Требования к тактовой частоте SATA PHY

Параметр	Мин.	Ном.	Макс.	Ед. изм.	Условия
Тактовая частота		100		МГц	
Нестабильность тактовой частоты	-0.035		0.035	%	
Джиттер тактовой частоты (среднеквадратичное значение)			3	пс	Проинтегрировано от 1.5 МГц до половины частоты дискретизации (до частоты Найквиста)
Джиттер тактовой частоты от такта к такту			150	пс	Проинтегрировано по всем частотам
Скважность	40		60	%	
Уровень однофазного входного сигнала	0		vp	В	Дифференциальные входы
Размах дифференциального входного сигнала	0.3			В (полная амплитуда)	Дифференциальные входы
Напряжение логического нуля на однофазном входе	-0.3		0.3	В	При использовании однофазного входа

Таблица 3-3 Требования к тактовой частоте SATA PHY (продолжение)

Параметр	Мин.	Ном.	Макс.	Ед. изм.	Условия
Напряжение логической единицы на однофазном входе	$v_p-0.3$		$v_p+0.3$	В	При использовании однофазного входа
Крутизна входного фронта	0.6			В/нс	
Расфазировка (skew) тактовой частоты			± 200	пс	

3.2.2.2 Тактовая частота XGbE PHY

PHY использует дифференциальный источник тактовой частоты. Источник может управляться от внешних контактных площадок либо от внутренних контактов. Выбранная тактовая частота должна соответствовать специальным требованиям к размаху сигнала и джиттеру. В следующей таблице приведены требования к тактовой частоте, подаваемой на PHY.

Таблица 3-4 Требования к тактовой частоте XGbE PHY

Параметр	Мин.	Ном.	Макс.	Ед. изм.	Условия
Тактовая частота		156.25		МГц	
Нестабильность тактовой частоты	-0.01		0.01	%	
Размах дифференциального входного сигнала	300		1890	мВ (полная амплитуда)	
Сквозность	40		60	%	
Крутизна входного фронта	0.6			В/нс	
Развязка					Развязка по переменному току
Допустимый джиттер для 10GBASE-KR и более низких частот			2.25	пс (среднеквадратичное значение)	Проинтегрировано от 12 кГц до 20 МГц
Допустимый джиттер для CEI-6G-SR, 10GBASE-KX4, XAUI			3.6	пс (среднеквадратичное значение)	Проинтегрировано от 12 кГц до 20 МГц
Джиттер периода (от пика до пика) тактовой частоты			20	пс	Джиттер периода, за 10000 измерений
Фазовый джиттер			2	пс	Проинтегрировано от 1.5 МГц до половины частоты дискретизации (до частоты Найквиста)

3.2.2.3 Тактовая частота PCIE PHY

Таблица 3-5 Требования к тактовой частоте PCie PHY

Параметр	Мин.	Ном.	Макс.	Ед. изм.	Условия
Тактовая частота		100		МГц	
Нестабильность тактовой частоты	-0.03		0.03	%	
Размах дифференциального входного сигнала	300		1890	мВ (полная амплитуда)	
Скважность	40		60	%	
Крутизна входного фронта	0.6			В/нс	
Развязка					Развязка по переменному току
Допустимый джиттер для 10GBASE-KR и более низких частот			2.25	пс (среднеквадратичное значение)	Проинтегрировано от 12 кГц до 20 МГц
Допустимый джиттер для CEI-6G-SR, 10GBASE-KX4, XAUI			3.6	пс (среднеквадратичное значение)	Проинтегрировано от 12 кГц до 20 МГц
Джиттер периода (от пика до пика) тактовой частоты			20	пс	Джиттер периода, за 10000 измерений
Фазовый джиттер			2	пс	Проинтегрировано от 1.5 МГц до половины частоты дискретизации (до частоты Найквиста)

Примечание: 100 МГц – это единственная тактовая частота, соответствующая стандарту PCie. При использовании тактовой частоты 125 МГц PHY может не соответствовать спецификации PCie в части полосы частот ФАПЧ, пиковых напряжений и джиттера.

3.2.2.4 Тактовая частота USB3 PHY

USB 3.0 PHY предназначен для работы с широким диапазоном входных тактовых частот для поддержки приложений как со стороны хост-системы, так и со стороны подключаемых устройств. В следующей таблице приведены требования к тактовой частоте, подаваемой на USB 3.0 PHY для поддержки работы в режиме SuperSpeed, а также в режиме SuperSpeed и high-speed.

Таблица 3-6 Требования к тактовой частоте USB3 PHY

Параметр	Мин.	Ном.	Макс.	Ед. изм.	Условия
Тактовая частота	19.2	100	200	МГц	

Таблица 3-6 Требования к тактовой частоте USB3 PHY (продолжение)

Параметр	Мин.	Ном.	Макс.	Ед. изм.	Условия
Нестабильность тактовой частоты	-0.03		0.03	%	
Джиттер тактовой частоты (среднеквадратичное значение)			3	пс	Проинтегрировано от 1.5 МГц до половины частоты дискретизации (до частоты Найквиста)
Расфазировка (skew) тактовой частоты			200	пс	
Джиттер тактовой частоты от такта к такту			150	пс	Проинтегрировано по всем частотам
Скважность	40		60	%	
Уровень однофазного входного сигнала v_p	0		1.32	В	Дифференциальные входы
Размах дифференциального входного сигнала	0.3			В (полная амплитуда)	Дифференциальные входы
Напряжение логического нуля на однофазном входе	-0.3		0.3	В	При использовании однофазного входа
Напряжение логической единицы на однофазном входе	$v_p-0.3$		v_p	В	При использовании однофазного входа
Крутизна входного фронта	0.6		4	В/нс	
Сопротивление внешнего опорного резистора		200		Ом	Допуск $\pm 1\%$

3.2.2.5 Тактовая частота USB2 PHY

USB2 PHY использует следующие источники тактовой частоты:

- **Пьезогенератор, подключённый к контактам USB2*_X1 и USB2*_X0:** пьезогенератор должен иметь нестабильность частоты в пределах $\pm 0.04\%$, пиковый джиттер ± 100 пс и выходное напряжение дифференциального сигнала не менее 500 мВ по отношению к сигналу X1
- **Внешний тактовый сигнал, подключённый к контакту USB2*_X0 pin:** тактовый сигнал должен иметь основную частоту 50 МГц, нестабильность $\pm 0.04\%$, пиковый джиттер ± 100 пс, скважность в пределах 40/60 и 60/40 % и размах сигнала 1.8 В

3.2.2.6 Опорная частота HDMI PLL

Таблица 3-7 Требования к опорной частоте HDMI PLL

Параметр	Мин.	Ном.	Макс.	Ед. изм.
Значение частоты		27		МГц
Нестабильность частоты	-0.005		0.005	%
Выходное напряжение		LVC MOS 1.8		В
Скважность	40		60	%

3.2.2.7 Опорная частота LVDS PLL

Таблица 3-8 Требования к опорной частоте LVDS PLL

Параметр	Мин.	Ном.	Макс.	Ед. изм.
Значение частоты		27		МГц
Нестабильность частоты	-0.005		0.005	%
Выходное напряжение		LVC MOS 1.8		В
Скважность	40		60	%

4 Порядок включения/выключения микропроцессора

4.1 Порядок включения микропроцессора

1. Для включения микропроцессора следует выполнить следующие действия:
2. Подать сигнал сброса `RESET_N`
3. Подать питание в соответствии с требованиями раздела [Параметры электропитания](#) в следующем порядке:
 - Питание 3.3 В
 - Питание 1.5 В
 - Питание схем ФАПЧ (PLL)
 - Питание контроллеров памяти
 - Питание 1.8 В
 - Питание ядер и питание 0.95 В
4. Подключить все тактовые частоты (`CLK`)
5. Выдержать не менее 16 тактов тактовой частоты
6. Снять сигнал сброса `RESET_N`
7. После снятия сигнала сброса `RESET_N` контроллер загрузки выполняет запуск тактового питания и подачу сигналов сброса для всех подсистем микропроцессора, затем считывает загрузочный код из флэш памяти Boot SPI и запускает его исполнение.

4.2 Порядок выключения микропроцессора

Последовательность выключения питания обратна последовательности включения питания.

5 Описание внешних выводов

5.1 Список выводов

Следующая таблица содержит полный список контактов, включая входы, выходы, питание и землю. Во избежание разночтений данные из системы проектирования приведены в таблице без перевода.

Обозначения типов:

I	Вход (Input)
O	Выход (Output)
IO	Вход/Выход (Input/Output)
A	Аналоговый (Analog)
P	Питание (Power)
G	Земля (Ground)
NC	Не подключен (Not connected)

Таблица 5-1 Список выводов

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1	AG18	ARC_DBG_TF	ARC SM	O	VDDIO_18	Индикация исключения тройной ошибки
2	AH18	ARC_WDT_RESET	ARC SM	O	VDDIO_18	Сброс сторожевого таймера
3	AM18	BOOT_ERR	SM	O	VDDIO_18	Внутренняя ошибка при загрузке данных SRAM
4	AM19	TEST_0	SM	I	VDDIO_18	Тестовый вывод 0
5	AJ16	CLK25M	Clocks	I	VDDIO_18	Тактовая частота 25 МГц
6	AG15	CS_CLK	CoreSight	O	VDDIO_18	Тактовый сигнал порта трассировки
7	AG16	CS_CTRL	CoreSight	O	VDDIO_18	Управление портом трассировки
8	AE5	CS_DAT[0]	CoreSight	O	VDDIO_18	Данные порта трассировки
9	AE6	CS_DAT[1]	CoreSight	O	VDDIO_18	Данные порта трассировки
10	AF12	CS_DAT[10]	CoreSight	O	VDDIO_18	Данные порта трассировки
11	AG6	CS_DAT[11]	CoreSight	O	VDDIO_18	Данные порта трассировки
12	AG7	CS_DAT[12]	CoreSight	O	VDDIO_18	Данные порта трассировки
13	AG8	CS_DAT[13]	CoreSight	O	VDDIO_18	Данные порта трассировки
14	AG10	CS_DAT[14]	CoreSight	O	VDDIO_18	Данные порта трассировки
15	AG11	CS_DAT[15]	CoreSight	O	VDDIO_18	Данные порта трассировки
16	AE9	CS_DAT[2]	CoreSight	O	VDDIO_18	Данные порта трассировки
17	AE10	CS_DAT[3]	CoreSight	O	VDDIO_18	Данные порта трассировки
18	AE11	CS_DAT[4]	CoreSight	O	VDDIO_18	Данные порта трассировки
19	AF6	CS_DAT[5]	CoreSight	O	VDDIO_18	Данные порта трассировки

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
20	AF7	CS_DAT[6]	CoreSight	O	VDDIO_18	Данные порта трассировки
21	AF9	CS_DAT[7]	CoreSight	O	VDDIO_18	Данные порта трассировки
22	AF10	CS_DAT[8]	CoreSight	O	VDDIO_18	Данные порта трассировки
23	AF11	CS_DAT[9]	CoreSight	O	VDDIO_18	Данные порта трассировки
24	AE12	CS_SWCLK_TCK	CoreSight	I	VDDIO_18	Последовательный провод и тактовый сигнал TAP
25	AF13	CS_SWDIO_TMS	CoreSight	IO	VDDIO_18	Комбинированный последовательный провод входа/выхода
26	AG13	CS_TDI	CoreSight	I	VDDIO_18	Входные данные JTAG TAP
27	AH17	CS_TDO	CoreSight	O	VDDIO_18	Выходные данные JTAG TAP
28	AG14	CS_TRST_N	CoreSight	I	VDDIO_18	Асинхронный сброс TAP
29	K12	DDR0_A[0]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
30	M13	DDR0_A[1]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
31	AA9	DDR0_A[10]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
32	AC11	DDR0_A[11]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
33	Y13	DDR0_A[12]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
34	AC12	DDR0_A[13]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
35	AA11	DDR0_A[14]	DDR 0	O	VDDQ_DDR0	Включение записи SDRAM
36	Y10	DDR0_A[15]	DDR 0	O	VDDQ_DDR0	Выбор адреса столбца SDRAM
37	AB11	DDR0_A[16]	DDR 0	O	VDDQ_DDR0	Выбор адреса строки SDRAM
38	AA8	DDR0_A[17]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
39	J12	DDR0_A[2]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
40	T12	DDR0_A[3]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
41	L14	DDR0_A[4]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
42	AB12	DDR0_A[5]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
43	V13	DDR0_A[6]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
44	AB10	DDR0_A[7]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
45	V11	DDR0_A[8]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
46	Y11	DDR0_A[9]	DDR 0	O	VDDQ_DDR0	Адрес SDRAM
47	H10	DDR0_ACT_N	DDR 0	O	VDDQ_DDR0	При низком уровне, указывает на команду активировать (открыть строку)

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
48	U12	DDR0_ALERT_N	DDR 0	I	VDDQ_DDR0	Циклические проверки с избыточностью SDRAM/ошибка четности
49	U11	DDR0_ATO	DDR 0	A		Аналоговый тестовый вывод
50	J13	DDR0_BA[0]	DDR 0	O	VDDQ_DDR0	Адрес банка SDRAM
51	J10	DDR0_BA[1]	DDR 0	O	VDDQ_DDR0	Адрес банка SDRAM
52	U7	DDR0_BG[0]	DDR 0	O	VDDQ_DDR0	Группа банка SDRAM
53	M12	DDR0_BG[1]	DDR 0	O	VDDQ_DDR0	Группа банка SDRAM
54	L9	DDR0_CK[0]	DDR 0	O	VDDQ_DDR0	Тактовая частота SDRAM
55	M11	DDR0_CK[1]	DDR 0	O	VDDQ_DDR0	Тактовая частота SDRAM
56	N10	DDR0_CK[2]	DDR 0	O	VDDQ_DDR0	Тактовая частота SDRAM
57	P11	DDR0_CK[3]	DDR 0	O	VDDQ_DDR0	Тактовая частота SDRAM
58	M9	DDR0_CK_N[0]	DDR 0	O	VDDQ_DDR0	Тактовая частота SDRAM
59	L11	DDR0_CK_N[1]	DDR 0	O	VDDQ_DDR0	Тактовая частота SDRAM
60	P10	DDR0_CK_N[2]	DDR 0	O	VDDQ_DDR0	Тактовая частота SDRAM
61	R11	DDR0_CK_N[3]	DDR 0	O	VDDQ_DDR0	Тактовая частота SDRAM
62	R12	DDR0_CKE[0]	DDR 0	O	VDDQ_DDR0	Включение тактового сигнала SDRAM
63	N13	DDR0_CKE[1]	DDR 0	O	VDDQ_DDR0	Включение тактового сигнала SDRAM
64	AB13	DDR0_CKE[2]	DDR 0	O	VDDQ_DDR0	Включение тактового сигнала SDRAM
65	W10	DDR0_CKE[3]	DDR 0	O	VDDQ_DDR0	Включение тактового сигнала SDRAM
66	L13	DDR0_CS_N[0]	DDR 0	O	VDDQ_DDR0	Выбор микросхемы SDRAM
67	P13	DDR0_CS_N[1]	DDR 0	O	VDDQ_DDR0	Выбор микросхемы SDRAM
68	W9	DDR0_CS_N[2]	DDR 0	O	VDDQ_DDR0	Выбор микросхемы SDRAM
69	U10	DDR0_CS_N[3]	DDR 0	O	VDDQ_DDR0	Выбор микросхемы SDRAM
70	AB8	DDR0_DM[0]	DDR 0	IO	VDDQ_DDR0	Маска SDRAM данных
71	AC4	DDR0_DM[1]	DDR 0	IO	VDDQ_DDR0	Маска SDRAM данных
72	Y7	DDR0_DM[2]	DDR 0	IO	VDDQ_DDR0	Маска SDRAM данных
73	T2	DDR0_DM[3]	DDR 0	IO	VDDQ_DDR0	Маска SDRAM данных
74	L8	DDR0_DM[4]	DDR 0	IO	VDDQ_DDR0	Маска SDRAM данных
75	N3	DDR0_DM[5]	DDR 0	IO	VDDQ_DDR0	Маска SDRAM данных

Таблица 5-1 Список выводов (продолжение)

№	Обо- значе- ние	Имя контакта	Группа	Тип	Питание	Описание
76	K7	DDR0_DM[6]	DDR 0	IO	VDDQ_DDR0	Маска данных SDRAM
77	J3	DDR0_DM[7]	DDR 0	IO	VDDQ_DDR0	Маска данных SDRAM
78	P2	DDR0_DM[8]	DDR 0	IO	VDDQ_DDR0	Маска данных SDRAM
79	AD5	DDR0_DQ[0]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
80	AB7	DDR0_DQ[1]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
81	Y3	DDR0_DQ[10]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
82	Y4	DDR0_DQ[11]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
83	AB1	DDR0_DQ[12]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
84	AB2	DDR0_DQ[13]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
85	AB3	DDR0_DQ[14]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
86	AB4	DDR0_DQ[15]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
87	V6	DDR0_DQ[16]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
88	V5	DDR0_DQ[17]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
89	Y5	DDR0_DQ[18]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
90	Y8	DDR0_DQ[19]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
91	AB6	DDR0_DQ[2]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
92	V7	DDR0_DQ[20]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
93	U5	DDR0_DQ[21]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
94	W8	DDR0_DQ[22]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
95	Y6	DDR0_DQ[23]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
96	V3	DDR0_DQ[24]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
97	V4	DDR0_DQ[25]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
98	T3	DDR0_DQ[26]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
99	T1	DDR0_DQ[27]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
100	V2	DDR0_DQ[28]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
101	W4	DDR0_DQ[29]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
102	AB5	DDR0_DQ[3]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
103	T4	DDR0_DQ[30]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
104	V1	DDR0_DQ[31]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
105	L5	DDR0_DQ[32]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
106	L6	DDR0_DQ[33]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
107	L7	DDR0_DQ[34]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM

Таблица 5-1 Список выводов (продолжение)

№	Обо-значе-ние	Имя контакта	Группа	Тип	Питание	Описание
108	M8	DDR0_DQ[35]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
109	N5	DDR0_DQ[36]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
110	N6	DDR0_DQ[37]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
111	N7	DDR0_DQ[38]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
112	N8	DDR0_DQ[39]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
113	AD7	DDR0_DQ[4]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
114	K1	DDR0_DQ[40]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
115	K2	DDR0_DQ[41]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
116	K3	DDR0_DQ[42]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
117	L4	DDR0_DQ[43]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
118	M1	DDR0_DQ[44]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
119	M2	DDR0_DQ[45]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
120	M3	DDR0_DQ[46]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
121	N4	DDR0_DQ[47]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
122	J5	DDR0_DQ[48]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
123	J7	DDR0_DQ[49]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
124	AD6	DDR0_DQ[5]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
125	J8	DDR0_DQ[50]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
126	J6	DDR0_DQ[51]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
127	G5	DDR0_DQ[52]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
128	G8	DDR0_DQ[53]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
129	G6	DDR0_DQ[54]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
130	G7	DDR0_DQ[55]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
131	F1	DDR0_DQ[56]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
132	F2	DDR0_DQ[57]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
133	F3	DDR0_DQ[58]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
134	G4	DDR0_DQ[59]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
135	AD8	DDR0_DQ[6]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
136	H1	DDR0_DQ[60]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
137	H2	DDR0_DQ[61]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
138	H3	DDR0_DQ[62]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
139	J4	DDR0_DQ[63]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
140	AC8	DDR0_DQ[7]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
141	Y1	DDR0_DQ[8]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
142	Y2	DDR0_DQ[9]	DDR 0	IO	VDDQ_DDR0	Данные SDRAM
143	AC6	DDR0_DQS[0]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
144	AA2	DDR0_DQS[1]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
145	W5	DDR0_DQS[2]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
146	U2	DDR0_DQS[3]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
147	M5	DDR0_DQS[4]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
148	L2	DDR0_DQS[5]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
149	H5	DDR0_DQS[6]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
150	G1	DDR0_DQS[7]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
151	P3	DDR0_DQS[8]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
152	AC5	DDR0_DQS_N[0]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
153	AA1	DDR0_DQS_N[1]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
154	W6	DDR0_DQS_N[2]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
155	U1	DDR0_DQS_N[3]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
156	M6	DDR0_DQS_N[4]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
157	L1	DDR0_DQS_N[5]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
158	H6	DDR0_DQS_N[6]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
159	G2	DDR0_DQS_N[7]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
160	R3	DDR0_DQS_N[8]	DDR 0	IO	VDDQ_DDR0	Стробирующий импульс SDRAM
161	K10	DDR0_DTO[0]	DDR 0	O	VDDQ_DDR0	Цифровой тестовый вывод
162	J9	DDR0_DTO[1]	DDR 0	O	VDDQ_DDR0	Цифровой тестовый вывод
163	T6	DDR0_ECC[0]	DDR 0	IO	VDDQ_DDR0	Кодирование с коррекцией ошибок данных SDRAM
164	R6	DDR0_ECC[1]	DDR 0	IO	VDDQ_DDR0	Кодирование с коррекцией ошибок данных SDRAM
165	P6	DDR0_ECC[2]	DDR 0	IO	VDDQ_DDR0	Кодирование с коррекцией ошибок данных SDRAM
166	R5	DDR0_ECC[3]	DDR 0	IO	VDDQ_DDR0	Кодирование с коррекцией ошибок данных SDRAM

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
167	P1	DDR0_ECC[4]	DDR 0	IO	VDDQ_DDR0	Кодирование с коррекцией ошибок данных SDRAM
168	R1	DDR0_ECC[5]	DDR 0	IO	VDDQ_DDR0	Кодирование с коррекцией ошибок данных SDRAM
169	R2	DDR0_ECC[6]	DDR 0	IO	VDDQ_DDR0	Кодирование с коррекцией ошибок данных SDRAM
170	T5	DDR0_ECC[7]	DDR 0	IO	VDDQ_DDR0	Кодирование с коррекцией ошибок данных SDRAM
171	K13	DDR0_MIRROR	DDR 0	O	VDDQ_DDR0	Зеркало SDRAM (дополнительный сигнал DIMM)
172	AA13	DDR0_ODT[0]	DDR 0	O	VDDQ_DDR0	Сигнал терминирования SDRAM
173	AC9	DDR0_ODT[1]	DDR 0	O	VDDQ_DDR0	Сигнал терминирования SDRAM
174	V9	DDR0_ODT[2]	DDR 0	O	VDDQ_DDR0	Сигнал терминирования SDRAM
175	P8	DDR0_ODT[3]	DDR 0	O	VDDQ_DDR0	Сигнал терминирования SDRAM
176	T10	DDR0_PARITY	DDR 0	O	VDDQ_DDR0	Четность SDRAM
177	N12	DDR0_QCSEN_N	DDR 0	O	VDDQ_DDR0	Включение четырехчипового вывода SDRAM (дополнительный сигнал DIMM)
178	J11	DDR0_RAM_RST_N	DDR 0	O	VDDQ_DDR0	Перезагрузка SDRAM
179	V12	DDR0_VREFI[0]	DDR 0	A		IO ring VREFI net
180	AB9	DDR0_VREFI[1]	DDR 0	A		IO ring VREFI net
181	W12	DDR0_VREFI[2]	DDR 0	A		IO ring VREFI net
182	T7	DDR0_VREFI[3]	DDR 0	A		IO ring VREFI net
183	R8	DDR0_VREFI[4]	DDR 0	A		IO ring VREFI net
184	K8	DDR0_VREFI[5]	DDR 0	A		IO ring VREFI net
185	P14	DDR0_VREFI[6]	DDR 0	A		IO ring VREFI net
186	L10	DDR0_VREFI[7]	DDR 0	A		IO ring VREFI net
187	U8	DDR0_VREFI[8]	DDR 0	A		IO ring VREFI net
188	T9	DDR0_VREFI[9]	DDR 0	A		IO ring VREFI net
189	AC10	DDR0_VREFI_ZQ	DDR 0	A		IO ring VREFI ZQ net
190	AC13	DDR0_ZQ	DDR 0	A		Внешний калибровочный резистор
191	AM27	DDR1_A[0]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
192	AT22	DDR1_A[1]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
193	AL25	DDR1_A[10]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
194	AL23	DDR1_A[11]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
195	AL32	DDR1_A[12]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
196	AM23	DDR1_A[13]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
197	AK28	DDR1_A[14]	DDR 1	O	VDDQ_DDR1	Включение записи SDRAM
198	AN32	DDR1_A[15]	DDR 1	O	VDDQ_DDR1	Выбор адреса столбца SDRAM
199	AM26	DDR1_A[16]	DDR 1	O	VDDQ_DDR1	Выбор адреса строки SDRAM
200	AN31	DDR1_A[17]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
201	AR22	DDR1_A[2]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
202	AM24	DDR1_A[3]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
203	AP21	DDR1_A[4]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
204	AL22	DDR1_A[5]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
205	AM31	DDR1_A[6]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
206	AM25	DDR1_A[7]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
207	AK31	DDR1_A[8]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
208	AL31	DDR1_A[9]	DDR 1	O	VDDQ_DDR1	Адрес SDRAM
209	AK25	DDR1_ACT_N	DDR 1	O	VDDQ_DDR1	При низком уровне, указывает на команду активировать (открыть строку)
210	AN29	DDR1_ALERT_N	DDR 1	I	VDDQ_DDR1	Циклические проверки с избыточностью SDRAM/ошибка четности
211	AM30	DDR1_ATO	DDR 1	A		Аналоговый тестовый вывод
212	AP24	DDR1_BA[0]	DDR 1	O	VDDQ_DDR1	Адрес банка SDRAM
213	AK27	DDR1_BA[1]	DDR 1	O	VDDQ_DDR1	Адрес банка SDRAM
214	AK29	DDR1_BG[0]	DDR 1	O	VDDQ_DDR1	Группа банка SDRAM
215	AP23	DDR1_BG[1]	DDR 1	O	VDDQ_DDR1	Группа банка SDRAM
216	AT24	DDR1_CK[0]	DDR 1	O	VDDQ_DDR1	Тактовая частота SDRAM
217	AR26	DDR1_CK[1]	DDR 1	O	VDDQ_DDR1	Тактовая частота SDRAM
218	AR25	DDR1_CK[2]	DDR 1	O	VDDQ_DDR1	Тактовая частота SDRAM
219	AR27	DDR1_CK[3]	DDR 1	O	VDDQ_DDR1	Тактовая частота SDRAM
220	AR24	DDR1_CK_N[0]	DDR 1	O	VDDQ_DDR1	Тактовая частота SDRAM

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
221	AT26	DDR1_CK_N[1]	DDR 1	O	VDDQ_DDR1	Тактовая частота SDRAM
222	AP25	DDR1_CK_N[2]	DDR 1	O	VDDQ_DDR1	Тактовая частота SDRAM
223	AP27	DDR1_CK_N[3]	DDR 1	O	VDDQ_DDR1	Тактовая частота SDRAM
224	AU21	DDR1_CKE[0]	DDR 1	O	VDDQ_DDR1	Включение тактового сигнала SDRAM
225	AT21	DDR1_CKE[1]	DDR 1	O	VDDQ_DDR1	Включение тактового сигнала SDRAM
226	AN28	DDR1_CKE[2]	DDR 1	O	VDDQ_DDR1	Включение тактового сигнала SDRAM
227	AK30	DDR1_CKE[3]	DDR 1	O	VDDQ_DDR1	Включение тактового сигнала SDRAM
228	AV22	DDR1_CS_N[0]	DDR 1	O	VDDQ_DDR1	Выбор микросхемы SDRAM
229	AW22	DDR1_CS_N[1]	DDR 1	O	VDDQ_DDR1	Выбор микросхемы SDRAM
230	AV21	DDR1_CS_N[2]	DDR 1	O	VDDQ_DDR1	Выбор микросхемы SDRAM
231	AN26	DDR1_CS_N[3]	DDR 1	O	VDDQ_DDR1	Выбор микросхемы SDRAM
232	AW34	DDR1_DM[0]	DDR 1	IO	VDDQ_DDR1	Маска данных SDRAM
233	AW25	DDR1_DM[1]	DDR 1	IO	VDDQ_DDR1	Маска данных SDRAM
234	AV38	DDR1_DM[2]	DDR 1	IO	VDDQ_DDR1	Маска данных SDRAM
235	AV29	DDR1_DM[3]	DDR 1	IO	VDDQ_DDR1	Маска данных SDRAM
236	AN34	DDR1_DM[4]	DDR 1	IO	VDDQ_DDR1	Маска данных SDRAM
237	AN37	DDR1_DM[5]	DDR 1	IO	VDDQ_DDR1	Маска данных SDRAM
238	AJ36	DDR1_DM[6]	DDR 1	IO	VDDQ_DDR1	Маска данных SDRAM
239	AJ37	DDR1_DM[7]	DDR 1	IO	VDDQ_DDR1	Маска данных SDRAM
240	AR32	DDR1_DM[8]	DDR 1	IO	VDDQ_DDR1	Маска данных SDRAM
241	AV32	DDR1_DQ[0]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
242	AW32	DDR1_DQ[1]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
243	AU25	DDR1_DQ[10]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
244	AV25	DDR1_DQ[11]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
245	AU23	DDR1_DQ[12]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
246	AW23	DDR1_DQ[13]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
247	AW24	DDR1_DQ[14]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
248	AV23	DDR1_DQ[15]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
249	AW36	DDR1_DQ[16]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
250	AU36	DDR1_DQ[17]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
251	AV36	DDR1_DQ[18]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
252	AU38	DDR1_DQ[19]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
253	AU32	DDR1_DQ[2]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
254	AV39	DDR1_DQ[20]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
255	AU39	DDR1_DQ[21]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
256	AW39	DDR1_DQ[22]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
257	AW37	DDR1_DQ[23]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
258	AU27	DDR1_DQ[24]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
259	AW27	DDR1_DQ[25]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
260	AV27	DDR1_DQ[26]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
261	AW28	DDR1_DQ[27]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
262	AU29	DDR1_DQ[28]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
263	AU30	DDR1_DQ[29]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
264	AW33	DDR1_DQ[3]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
265	AW30	DDR1_DQ[30]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
266	AV30	DDR1_DQ[31]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
267	AN35	DDR1_DQ[32]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
268	AM35	DDR1_DQ[33]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
269	AM36	DDR1_DQ[34]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
270	AR36	DDR1_DQ[35]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
271	AM34	DDR1_DQ[36]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
272	AR35	DDR1_DQ[37]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
273	AR34	DDR1_DQ[38]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
274	AP34	DDR1_DQ[39]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
275	AU34	DDR1_DQ[4]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
276	AP37	DDR1_DQ[40]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
277	AR37	DDR1_DQ[41]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
278	AR38	DDR1_DQ[42]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
279	AR39	DDR1_DQ[43]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
280	AM37	DDR1_DQ[44]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
281	AN39	DDR1_DQ[45]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
282	AN38	DDR1_DQ[46]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
283	AM38	DDR1_DQ[47]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
284	AM34	DDR1_DQ[48]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
285	AL36	DDR1_DQ[49]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
286	AV34	DDR1_DQ[5]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
287	AL34	DDR1_DQ[50]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
288	AK34	DDR1_DQ[51]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
289	AL35	DDR1_DQ[52]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
290	AM36	DDR1_DQ[53]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
291	AM35	DDR1_DQ[54]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
292	AJ34	DDR1_DQ[55]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
293	AM37	DDR1_DQ[56]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
294	AL37	DDR1_DQ[57]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
295	AL38	DDR1_DQ[58]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
296	AL39	DDR1_DQ[59]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
297	AU35	DDR1_DQ[6]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
298	AM38	DDR1_DQ[60]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
299	AK37	DDR1_DQ[61]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
300	AJ38	DDR1_DQ[62]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
301	AM39	DDR1_DQ[63]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
302	AV35	DDR1_DQ[7]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
303	AU26	DDR1_DQ[8]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
304	AV26	DDR1_DQ[9]	DDR 1	IO	VDDQ_DDR1	Данные SDRAM
305	AU33	DDR1_DQS[0]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
306	AU24	DDR1_DQS[1]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
307	AU37	DDR1_DQS[2]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
308	AU28	DDR1_DQS[3]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
309	AP36	DDR1_DQS[4]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
310	AP38	DDR1_DQS[5]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
311	AJ35	DDR1_DQS[6]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
312	AK38	DDR1_DQS[7]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
313	AR30	DDR1_DQS[8]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
314	AV33	DDR1_DQS_N[0]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
315	AV24	DDR1_DQS_N[1]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
316	AV37	DDR1_DQS_N[2]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
317	AV28	DDR1_DQS_N[3]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
318	AP35	DDR1_DQS_N[4]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
319	AP39	DDR1_DQS_N[5]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
320	AK35	DDR1_DQS_N[6]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
321	AK39	DDR1_DQS_N[7]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
322	AP30	DDR1_DQS_N[8]	DDR 1	IO	VDDQ_DDR1	Стробирующий импульс SDRAM
323	AK26	DDR1_DTO[0]	DDR 1	O	VDDQ_DDR1	Цифровой тестовый вывод
324	AK24	DDR1_DTO[1]	DDR 1	O	VDDQ_DDR1	Цифровой тестовый вывод
325	AT30	DDR1_ECC[0]	DDR 1	IO	VDDQ_DDR1	Кодирование с коррекцией ошибок данных SDRAM
326	AR29	DDR1_ECC[1]	DDR 1	IO	VDDQ_DDR1	Кодирование с коррекцией ошибок данных SDRAM
327	AT29	DDR1_ECC[2]	DDR 1	IO	VDDQ_DDR1	Кодирование с коррекцией ошибок данных SDRAM
328	AT31	DDR1_ECC[3]	DDR 1	IO	VDDQ_DDR1	Кодирование с коррекцией ошибок данных SDRAM
329	AP29	DDR1_ECC[4]	DDR 1	IO	VDDQ_DDR1	Кодирование с коррекцией ошибок данных SDRAM
330	AP31	DDR1_ECC[5]	DDR 1	IO	VDDQ_DDR1	Кодирование с коррекцией ошибок данных SDRAM
331	AT32	DDR1_ECC[6]	DDR 1	IO	VDDQ_DDR1	Кодирование с коррекцией ошибок данных SDRAM
332	AP32	DDR1_ECC[7]	DDR 1	IO	VDDQ_DDR1	Кодирование с коррекцией ошибок данных SDRAM
333	AP22	DDR1_MIRROR	DDR 1	O	VDDQ_DDR1	Зеркало SDRAM (дополнительный сигнал DIMM)
334	AK22	DDR1_ODT[0]	DDR 1	O	VDDQ_DDR1	Сигнал терминации SDRAM
335	AM28	DDR1_ODT[1]	DDR 1	O	VDDQ_DDR1	Сигнал терминации SDRAM
336	AW21	DDR1_ODT[2]	DDR 1	O	VDDQ_DDR1	Сигнал терминации SDRAM
337	AM22	DDR1_ODT[3]	DDR 1	O	VDDQ_DDR1	Сигнал терминации SDRAM

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
338	AL27	DDR1_PARITY	DDR 1	O	VDDQ_DDR1	Четность SDRAM
339	AN22	DDR1_QCSEN_N	DDR 1	O	VDDQ_DDR1	Включение четырехчипового SDRAM (дополнительный DIMM) вывода (дополнительный сигнал)
340	AN24	DDR1_RAM_RST_N	DDR 1	O	VDDQ_DDR1	Перезагрузка SDRAM
341	AJ22	DDR1_VREFI[0]	DDR 1	A		IO ring VREFI net
342	AG23	DDR1_VREFI[1]	DDR 1	A		IO ring VREFI net
343	AG24	DDR1_VREFI[2]	DDR 1	A		IO ring VREFI net
344	AG25	DDR1_VREFI[3]	DDR 1	A		IO ring VREFI net
345	AG26	DDR1_VREFI[4]	DDR 1	A		IO ring VREFI net
346	AH27	DDR1_VREFI[5]	DDR 1	A		IO ring VREFI net
347	AH26	DDR1_VREFI[6]	DDR 1	A		IO ring VREFI net
348	AJ25	DDR1_VREFI[7]	DDR 1	A		IO ring VREFI net
349	AJ24	DDR1_VREFI[8]	DDR 1	A		IO ring VREFI net
350	AH23	DDR1_VREFI[9]	DDR 1	A		IO ring VREFI net
351	AH22	DDR1_VREFI_ZQ	DDR 1	A		IO ring VREFI ZQ net
352	AG22	DDR1_ZQ	DDR 1	A		Внешний калибровочный резистор
353	C35	ESPI_ALERT[0]	eSPI	I	VDDIO_18	Оповещение eSPI
354	C37	ESPI_ALERT[1]	eSPI	I	VDDIO_18	Оповещение eSPI
355	C38	ESPI_ALERT[2]	eSPI	I	VDDIO_18	Оповещение eSPI
356	D35	ESPI_ALERT[3]	eSPI	I	VDDIO_18	Оповещение eSPI
357	D36	ESPI_ALERT[4]	eSPI	I	VDDIO_18	Оповещение eSPI
358	D37	ESPI_ALERT[5]	eSPI	I	VDDIO_18	Оповещение eSPI
359	E35	ESPI_ALERT[6]	eSPI	I	VDDIO_18	Оповещение eSPI
360	E34	ESPI_ALERT[7]	eSPI	I	VDDIO_18	Оповещение eSPI
361	A38	ESPI_CLK	eSPI	IO	VDDIO_18	Тактовый сигнал eSPI
362	A39	ESPI_DAT[0]	eSPI	IO	VDDIO_18	Данные eSPI
363	B39	ESPI_DAT[1]	eSPI	IO	VDDIO_18	Данные eSPI
364	C39	ESPI_DAT[2]	eSPI	IO	VDDIO_18	Данные eSPI
365	D39	ESPI_DAT[3]	eSPI	IO	VDDIO_18	Данные eSPI
366	D34	ESPI_RST	eSPI	IO	VDDIO_18	Сброс eSPI
367	A35	ESPI_SS_N[0]	eSPI	IO	VDDIO_18	Выбор Slave устройства eSPI

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
368	A36	ESPI_SS_N[1]	eSPI	IO	VDDIO_18	Выбор Slave устройства eSPI
369	A37	ESPI_SS_N[2]	eSPI	IO	VDDIO_18	Выбор Slave устройства eSPI
370	B35	ESPI_SS_N[3]	eSPI	IO	VDDIO_18	Выбор Slave устройства eSPI
371	B36	ESPI_SS_N[4]	eSPI	IO	VDDIO_18	Выбор Slave устройства eSPI
372	B37	ESPI_SS_N[5]	eSPI	IO	VDDIO_18	Выбор Slave устройства eSPI
373	C33	ESPI_SS_N[6]	eSPI	IO	VDDIO_18	Выбор Slave устройства eSPI
374	C34	ESPI_SS_N[7]	eSPI	IO	VDDIO_18	Выбор Slave устройства eSPI
375	E4	G0_GP_IN	GMAC 0	I	VDDIO_18	GPIO
376	E3	G0_GP_OUT	GMAC 0	O	VDDIO_18	GPIO
377	E1	G0_MDC	GMAC 0	O	VDDIO_18	Интерфейс MDIO
378	E2	G0_MDIO	GMAC 0	IO	VDDIO_18	Интерфейс MDIO
379	C7	G0_RX_CLK	GMAC 0	I	VDDIO_18	Принимаемый тактовый сигнал
380	C5	G0_RX_DAT[0]	GMAC 0	I	VDDIO_18	Принимаемые данные
381	C6	G0_RX_DAT[1]	GMAC 0	I	VDDIO_18	Принимаемые данные
382	D5	G0_RX_DAT[2]	GMAC 0	I	VDDIO_18	Принимаемые данные
383	D6	G0_RX_DAT[3]	GMAC 0	I	VDDIO_18	Принимаемые данные
384	D7	G0_RX_DEN	GMAC 0	I	VDDIO_18	Получение данных включено
385	C4	G0_TX_CLK	GMAC 0	O	VDDIO_18	Передаваемый тактовый сигнал
386	C1	G0_TX_DAT[0]	GMAC 0	O	VDDIO_18	Передаваемые данные
387	C2	G0_TX_DAT[1]	GMAC 0	O	VDDIO_18	Передаваемые данные
388	C3	G0_TX_DAT[2]	GMAC 0	O	VDDIO_18	Передаваемые данные
389	D2	G0_TX_DAT[3]	GMAC 0	O	VDDIO_18	Передаваемые данные
390	D4	G0_TX_DEN	GMAC 0	O	VDDIO_18	Передача данных включена
391	E7	G1_GP_IN	GMAC 1	I	VDDIO_18	GPIO
392	E8	G1_GP_OUT	GMAC 1	O	VDDIO_18	GPIO
393	E5	G1_MDC	GMAC 1	O	VDDIO_18	Интерфейс MDIO
394	E6	G1_MDIO	GMAC 1	IO	VDDIO_18	Интерфейс MDIO
395	A7	G1_RX_CLK	GMAC 1	I	VDDIO_18	Принимаемый тактовый сигнал
396	A5	G1_RX_DAT[0]	GMAC 1	I	VDDIO_18	Принимаемые данные

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
397	A6	G1_RX_DAT[1]	GMAC 1	I	VDDIO_18	Принимаемые данные
398	B5	G1_RX_DAT[2]	GMAC 1	I	VDDIO_18	Принимаемые данные
399	B6	G1_RX_DAT[3]	GMAC 1	I	VDDIO_18	Принимаемые данные
400	B7	G1_RX_DEN	GMAC 1	I	VDDIO_18	Получение данных включено
401	A3	G1_TX_CLK	GMAC 1	O	VDDIO_18	Передаваемый тактовый сигнал
402	A1	G1_TX_DAT[0]	GMAC 1	O	VDDIO_18	Передаваемые данные
403	A2	G1_TX_DAT[1]	GMAC 1	O	VDDIO_18	Передаваемые данные
404	B1	G1_TX_DAT[2]	GMAC 1	O	VDDIO_18	Передаваемые данные
405	B2	G1_TX_DAT[3]	GMAC 1	O	VDDIO_18	Передаваемые данные
406	B3	G1_TX_DEN	GMAC 1	O	VDDIO_18	Передача данных включена
407	G35	GPIO32[0]	GPIO32	IO	VDDIO_18	Данные GPIO
408	G36	GPIO32[1]	GPIO32	IO	VDDIO_18	Данные GPIO
409	J36	GPIO32[10]	GPIO32	IO	VDDIO_18	Данные GPIO
410	K31	GPIO32[11]	GPIO32	IO	VDDIO_18	Данные GPIO
411	K32	GPIO32[12]	GPIO32	IO	VDDIO_18	Данные GPIO
412	L31	GPIO32[13]	GPIO32	IO	VDDIO_18	Данные GPIO
413	L32	GPIO32[14]	GPIO32	IO	VDDIO_18	Данные GPIO
414	L33	GPIO32[15]	GPIO32	IO	VDDIO_18	Данные GPIO
415	M29	GPIO32[16]	GPIO32	IO	VDDIO_18	Данные GPIO
416	M30	GPIO32[17]	GPIO32	IO	VDDIO_18	Данные GPIO
417	M31	GPIO32[18]	GPIO32	IO	VDDIO_18	Данные GPIO
418	N30	GPIO32[19]	GPIO32	IO	VDDIO_18	Данные GPIO
419	G37	GPIO32[2]	GPIO32	IO	VDDIO_18	Данные GPIO
420	N31	GPIO32[20]	GPIO32	IO	VDDIO_18	Данные GPIO
421	N32	GPIO32[21]	GPIO32	IO	VDDIO_18	Данные GPIO
422	P32	GPIO32[22]	GPIO32	IO	VDDIO_18	Данные GPIO
423	P33	GPIO32[23]	GPIO32	IO	VDDIO_18	Данные GPIO
424	R28	GPIO32[24]	GPIO32	IO	VDDIO_18	Данные GPIO
425	R29	GPIO32[25]	GPIO32	IO	VDDIO_18	Данные GPIO
426	R30	GPIO32[26]	GPIO32	IO	VDDIO_18	Данные GPIO
427	R31	GPIO32[27]	GPIO32	IO	VDDIO_18	Данные GPIO

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
428	R33	GPIO32[28]	GPIO32	IO	VDDIO_18	Данные GPIO
429	R34	GPIO32[29]	GPIO32	IO	VDDIO_18	Данные GPIO
430	H32	GPIO32[3]	GPIO32	IO	VDDIO_18	Данные GPIO
431	T32	GPIO32[30]	GPIO32	IO	VDDIO_18	Данные GPIO
432	T33	GPIO32[31]	GPIO32	IO	VDDIO_18	Данные GPIO
433	H33	GPIO32[4]	GPIO32	IO	VDDIO_18	Данные GPIO
434	H34	GPIO32[5]	GPIO32	IO	VDDIO_18	Данные GPIO
435	H36	GPIO32[6]	GPIO32	IO	VDDIO_18	Данные GPIO
436	H37	GPIO32[7]	GPIO32	IO	VDDIO_18	Данные GPIO
437	J34	GPIO32[8]	GPIO32	IO	VDDIO_18	Данные GPIO
438	J35	GPIO32[9]	GPIO32	IO	VDDIO_18	Данные GPIO
439	AN17	GPIO8[0]	GPIO8 SM	IO	VDDIO_18	Данные SM GPIO
440	AM17	GPIO8[1]	GPIO8 SM	IO	VDDIO_18	Данные SM GPIO
441	AK17	GPIO8[2]	GPIO8 SM	IO	VDDIO_18	Данные SM GPIO
442	AJ18	GPIO8[3]	GPIO8 SM	IO	VDDIO_18	Данные SM GPIO
443	AJ19	GPIO8[4]	GPIO8 SM	IO	VDDIO_18	Данные SM GPIO
444	AJ20	GPIO8[5]	GPIO8 SM	IO	VDDIO_18	Данные SM GPIO
445	AH19	GPIO8[6]	GPIO8 SM	IO	VDDIO_18	Данные SM GPIO
446	AH20	GPIO8[7]	GPIO8 SM	IO	VDDIO_18	Данные SM GPIO
447	C32	-		NC		Резервный вывод
448	A32	24_MHZ_FREQ_OUT		O	VDDIO_18	Выходная тактовая частота 48 МГц/2
449	D32			NC		Резервный вывод
450	A34			NC		Резервный вывод
451	B33			NC		Резервный вывод
452	A33			NC		Резервный вывод
453	B32			NC		Резервный вывод
454	D33			NC		Резервный вывод
455	B8	HDMI_CLKN	HDMI	O		Тактовая частота TMDS
456	C8	HDMI_CLKP	HDMI	O		Тактовая частота TMDS
457	B9	HDMI_DATN[0]	HDMI	O		Данные TMDS
458	E9	HDMI_DATN[1]	HDMI	O		Данные TMDS

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
459	C10	HDMI_DATN[2]	HDMI	O		Данные TMDS
460	A9	HDMI_DATP[0]	HDMI	O		Данные TMDS
461	D9	HDMI_DATP[1]	HDMI	O		Данные TMDS
462	B10	HDMI_DATP[2]	HDMI	O		Данные TMDS
463	K18	HDMI_DB_BISTDONE	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
464	J18	HDMI_DB_BISTEN	HDMI	I	VDDIO_18	Интерфейс отладки HDMI PHY
465	L17	HDMI_DB_BISTOK	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
466	M16	HDMI_DB_DAT[0]	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
467	N16	HDMI_DB_DAT[1]	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
468	M17	HDMI_DB_DAT[2]	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
469	N17	HDMI_DB_DAT[3]	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
470	N18	HDMI_DB_DAT[4]	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
471	P18	HDMI_DB_DAT[5]	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
472	M19	HDMI_DB_DAT[6]	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
473	N19	HDMI_DB_DAT[7]	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
474	P19	HDMI_DB_DAT[8]	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
475	M20	HDMI_DB_DAT[9]	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
476	N20	HDMI_DB_EN	HDMI	I	VDDIO_18	Интерфейс отладки HDMI PHY
477	P20	HDMI_DB_ENHPDRXSE NSE	HDMI	I	VDDIO_18	Интерфейс отладки HDMI PHY
478	H22	HDMI_DB_EXTERNAL	HDMI	I	VDDIO_18	Интерфейс отладки HDMI PHY
479	J22	HDMI_DB_PHY_RESET	HDMI	I	VDDIO_18	Интерфейс отладки HDMI PHY
480	K22	HDMI_DB_PHYDTB0	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
481	M21	HDMI_DB_PHYDTB1	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
482	N21	HDMI_DB_PDDQ	HDMI	I	VDDIO_18	Интерфейс отладки HDMI PHY
483	P21	HDMI_DB_RXSENSE	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
484	N22	HDMI_DB_SNK_DET_I	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY
485	P22	HDMI_DB_SVSRET_MO DEZ	HDMI	I	VDDIO_18	Интерфейс отладки HDMI PHY
486	R22	HDMI_DB_TX_PWRON	HDMI	I	VDDIO_18	Интерфейс отладки HDMI PHY
487	R16	HDMI_DB_TX_READY	HDMI	O	VDDIO_18	Интерфейс отладки HDMI PHY

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
488	D10	HDMI_DDCCEC	HDMI	IO		Заземление для сигнала обнаружения горячей замены
489	H9	HDMI_HPD	HDMI	IO		Сигнал обнаружения горячей замены для HDMI
490	T14	HDMI_PLL_27M	Clocks	I	VDDIO_18	Тактовый сигнал PLL 27 МГц
491	E10	HDMI_RESREF	HDMI	A		Опорный резистор
492	G9	HDMI_SCL	HDMI	IO	VDDIO_18	
493	G10	HDMI_SDA	HDMI	IO	VDDIO_18	
494	AL20	I2C0_SCL	I2C_0 SM	IO	VDDIO_18	Тактовая частота SM I ² C
495	AL19	I2C0_SDA	I2C_0 SM	IO	VDDIO_18	Данные SM I ² C
496	G33	I2C1_SCL	I2C_1	IO	VDDIO_18	Тактовая частота LSP I ² C1
497	G32	I2C1_SDA	I2C_1	IO	VDDIO_18	Данные LSP I ² C1
498	K30	I2C2_SCL	I2C_2	IO	VDDIO_18	Тактовая частота LSP I ² C2
499	H30	I2C2_SDA	I2C_2	IO	VDDIO_18	Данные LSP I ² C2
500	F32	I2S_SCK	I2S	I	VDDIO_18	Непрерывный тактовый сигнал I ² S
501	G31	I2S_SDI	I2S	I	VDDIO_18	Входные данные I ² S
502	F33	I2S_SDO	I2S	O	VDDIO_18	Выходные данные I ² S
503	E33	I2S_WS	I2S	I	VDDIO_18	Выбор слова I ² S
504	V33	LED_PWM	LVDS	O	VDDIO_18	Управление яркостью
505	AC39	LVDS_L0_CLKN	LVDS	O	VDDIO_18	Тактовая частота LVDS
506	AC38	LVDS_L0_CLKP	LVDS	O	VDDIO_18	Тактовая частота LVDS
507	AF37	LVDS_L0_DATN[0]	LVDS	O	VDDIO_18	Данные LVDS
508	AE38	LVDS_L0_DATN[1]	LVDS	O	VDDIO_18	Данные LVDS
509	AD38	LVDS_L0_DATN[2]	LVDS	O	VDDIO_18	Данные LVDS
510	AB37	LVDS_L0_DATN[3]	LVDS	O	VDDIO_18	Данные LVDS
511	AA38	LVDS_L0_DATN[4]	LVDS	O	VDDIO_18	Данные LVDS
512	AF38	LVDS_L0_DATP[0]	LVDS	O	VDDIO_18	Данные LVDS
513	AE39	LVDS_L0_DATP[1]	LVDS	O	VDDIO_18	Данные LVDS
514	AD37	LVDS_L0_DATP[2]	LVDS	O	VDDIO_18	Данные LVDS
515	AB38	LVDS_L0_DATP[3]	LVDS	O	VDDIO_18	Данные LVDS
516	AA39	LVDS_L0_DATP[4]	LVDS	O	VDDIO_18	Данные LVDS
517	U39	LVDS_L1_CLKN	LVDS	O	VDDIO_18	Тактовая частота LVDS

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
518	U38	LVDS_L1_CLKP	LVDS	O	VDDIO_18	Тактовая частота LVDS
519	Y37	LVDS_L1_DATN[0]	LVDS	O	VDDIO_18	Данные LVDS
520	W39	LVDS_L1_DATN[1]	LVDS	O	VDDIO_18	Данные LVDS
521	V37	LVDS_L1_DATN[2]	LVDS	O	VDDIO_18	Данные LVDS
522	T38	LVDS_L1_DATN[3]	LVDS	O	VDDIO_18	Данные LVDS
523	R38	LVDS_L1_DATN[4]	LVDS	O	VDDIO_18	Данные LVDS
524	Y38	LVDS_L1_DATP[0]	LVDS	O	VDDIO_18	Данные LVDS
525	W38	LVDS_L1_DATP[1]	LVDS	O	VDDIO_18	Данные LVDS
526	V38	LVDS_L1_DATP[2]	LVDS	O	VDDIO_18	Данные LVDS
527	T37	LVDS_L1_DATP[3]	LVDS	O	VDDIO_18	Данные LVDS
528	R39	LVDS_L1_DATP[4]	LVDS	O	VDDIO_18	Данные LVDS
529	AC36	LVDS_L2_CLKN	LVDS	O	VDDIO_18	Тактовая частота LVDS
530	AC35	LVDS_L2_CLKP	LVDS	O	VDDIO_18	Тактовая частота LVDS
531	AF35	LVDS_L2_DATN[0]	LVDS	O	VDDIO_18	Данные LVDS
532	AE35	LVDS_L2_DATN[1]	LVDS	O	VDDIO_18	Данные LVDS
533	AD35	LVDS_L2_DATN[2]	LVDS	O	VDDIO_18	Данные LVDS
534	AB34	LVDS_L2_DATN[3]	LVDS	O	VDDIO_18	Данные LVDS
535	AA35	LVDS_L2_DATN[4]	LVDS	O	VDDIO_18	Данные LVDS
536	AF34	LVDS_L2_DATP[0]	LVDS	O	VDDIO_18	Данные LVDS
537	AE36	LVDS_L2_DATP[1]	LVDS	O	VDDIO_18	Данные LVDS
538	AD34	LVDS_L2_DATP[2]	LVDS	O	VDDIO_18	Данные LVDS
539	AB35	LVDS_L2_DATP[3]	LVDS	O	VDDIO_18	Данные LVDS
540	AA36	LVDS_L2_DATP[4]	LVDS	O	VDDIO_18	Данные LVDS
541	U36	LVDS_L3_CLKN	LVDS	O	VDDIO_18	Тактовая частота LVDS
542	U35	LVDS_L3_CLKP	LVDS	O	VDDIO_18	Тактовая частота LVDS
543	Y34	LVDS_L3_DATN[0]	LVDS	O	VDDIO_18	Данные LVDS
544	W35	LVDS_L3_DATN[1]	LVDS	O	VDDIO_18	Данные LVDS
545	V34	LVDS_L3_DATN[2]	LVDS	O	VDDIO_18	Данные LVDS
546	T34	LVDS_L3_DATN[3]	LVDS	O	VDDIO_18	Данные LVDS
547	R35	LVDS_L3_DATN[4]	LVDS	O	VDDIO_18	Данные LVDS
548	Y35	LVDS_L3_DATP[0]	LVDS	O	VDDIO_18	Данные LVDS
549	W36	LVDS_L3_DATP[1]	LVDS	O	VDDIO_18	Данные LVDS

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
550	V35	LVDS_L3_DATP[2]	LVDS	O	VDDIO_18	Данные LVDS
551	T35	LVDS_L3_DATP[3]	LVDS	O	VDDIO_18	Данные LVDS
552	R36	LVDS_L3_DATP[4]	LVDS	O	VDDIO_18	Данные LVDS
553	AF24	LVDS_PLL_27M	Clocks	I	VDDIO_18	Тактовый сигнал PLL 27 МГц
554	AD33	LVDS_VREF	LVDS	A		Опорное питание
555	AT16	PCIE4_0_AMON	PCle x4 0	O	VDD_PCIE4_0_15	Диагностический вывод PHY
556	AU15	PCIE4_0_ATT_BUT	PCle x4 0	I	VDDIO_18	Нажата кнопка «Внимание»
557	AR11	PCIE4_0_ATT_IND[0]	PCle x4 0	O	VDDIO_18	Управление индикатором предупреждения
558	AM16	PCIE4_0_ATT_IND[1]	PCle x4 0	O	VDDIO_18	Управление индикатором предупреждения
559	AR16	PCIE4_0_CMD_INT	PCle x4 0	I	VDDIO_18	Команда контроллера горячей замены завершила прерывание
560	AL15	PCIE4_0_DMON	PCle x4 0	O	VDD_PCIE4_0_09	Диагностический вывод PHY
561	AM15	PCIE4_0_DMONB	PCle x4 0	O	VDD_PCIE4_0_09	Диагностический вывод PHY
562	AT18	PCIE4_0_INTRL_CTRL	PCle x4 0	O	VDDIO_18	Электромеханическая блокировка управления
563	AT17	PCIE4_0_INTRL_ENG	PCle x4 0	I	VDDIO_18	Система электромеханической блокировки включена
564	AP17	PCIE4_0_MRL_SENS	PCle x4 0	I	VDDIO_18	Состояние датчика MRL
565	AU16	PCIE4_0_PRES_ST	PCle x4 0	I	VDDIO_18	Состояние детектора присутствия
566	AP16	PCIE4_0_PWR_CTRL	PCle x4 0	O	VDDIO_18	Управление контроллером питания
567	AR9	PCIE4_0_PWR_FAULT	PCle x4 0	I	VDDIO_18	Детектор сбоя питания
568	AP10	PCIE4_0_PWR_IND[0]	PCle x4 0	O	VDDIO_18	Управление индикатором питания
569	AP11	PCIE4_0_PWR_IND[1]	PCle x4 0	O	VDDIO_18	Управление индикатором питания
570	AV17	PCIE4_0_RBIAS	PCle x4 0	IO	VDD_PCIE4_0_15	Подключение опорного резистора
571	AW15	PCIE4_0_REF_CLKN	PCle x4 0	I	VDD_PCIE4_0_15	Опорные тактовые импульсы (дифференциальная пара)
572	AW16	PCIE4_0_REF_CLKP	PCle x4 0	I	VDD_PCIE4_0_15	Опорные тактовые импульсы (дифференциальная пара)
573	AV14	PCIE4_0_RXN[0]	PCle x4 0	I	VDD_PCIE4_0_15	Данные, принимаемые по дифференциальной паре 0

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
574	AW12	PCIE4_0_RXN[1]	PCle x4 0	I	VDD_PCIE4_0_15	Данные, принимаемые по дифференциальной паре 1
575	AV10	PCIE4_0_RXN[2]	PCle x4 0	I	VDD_PCIE4_0_15	Данные, принимаемые по дифференциальной паре 2
576	AW9	PCIE4_0_RXN[3]	PCle x4 0	I	VDD_PCIE4_0_15	Данные, принимаемые по дифференциальной паре 3
577	AV13	PCIE4_0_RXP[0]	PCle x4 0	I	VDD_PCIE4_0_15	Данные, принимаемые по дифференциальной паре 0
578	AW13	PCIE4_0_RXP[1]	PCle x4 0	I	VDD_PCIE4_0_15	Данные, принимаемые по дифференциальной паре 1
579	AV11	PCIE4_0_RXP[2]	PCle x4 0	I	VDD_PCIE4_0_15	Данные, принимаемые по дифференциальной паре 2
580	AW10	PCIE4_0_RXP[3]	PCle x4 0	I	VDD_PCIE4_0_15	Данные, принимаемые по дифференциальной паре 3
581	AT14	PCIE4_0_TXN[0]	PCle x4 0	O	VDD_PCIE4_0_15	Данные, передаваемые по дифференциальной паре 0
582	AU13	PCIE4_0_TXN[1]	PCle x4 0	O	VDD_PCIE4_0_15	Данные, передаваемые по дифференциальной паре 1
583	AT11	PCIE4_0_TXN[2]	PCle x4 0	O	VDD_PCIE4_0_15	Данные, передаваемые по дифференциальной паре 2
584	AU10	PCIE4_0_TXN[3]	PCle x4 0	O	VDD_PCIE4_0_15	Данные, передаваемые по дифференциальной паре 3
585	AT13	PCIE4_0_TXP[0]	PCle x4 0	O	VDD_PCIE4_0_15	Данные, передаваемые по дифференциальной паре 0
586	AU12	PCIE4_0_TXP[1]	PCle x4 0	O	VDD_PCIE4_0_15	Данные, передаваемые по дифференциальной паре 1
587	AT10	PCIE4_0_TXP[2]	PCle x4 0	O	VDD_PCIE4_0_15	Данные, передаваемые по дифференциальной паре 2
588	AU9	PCIE4_0_TXP[3]	PCle x4 0	O	VDD_PCIE4_0_15	Данные, передаваемые по дифференциальной паре 3
589	AP13	PCIE4_1_AMON	PCle x4 1	O	VDD_PCIE4_1_15	Диагностический вывод PHY
590	AR7	PCIE4_1_ATT_BUT	PCle x4 1	I	VDDIO_18	Нажата кнопка «Внимание»
591	AM12	PCIE4_1_ATT_IND[0]	PCle x4 1	O	VDDIO_18	Управление индикатором предупреждения
592	AN13	PCIE4_1_ATT_IND[1]	PCle x4 1	O	VDDIO_18	Управление индикатором предупреждения

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
593	AJ13	PCIE4_1_CMD_INT	PCle x4 1	I	VDDIO_18	Команда контроллера горячей замены завершила прерывание
594	AR12	PCIE4_1_DMON	PCle x4 1	O	VDD_PCIE4_1_09	Диагностический вывод PHY
595	AP12	PCIE4_1_DMONB	PCle x4 1	O	VDD_PCIE4_1_09	Диагностический вывод PHY
596	AP9	PCIE4_1_INTRL_CTRL	PCle x4 1	O	VDDIO_18	Электромеханическая блокировка управления
597	AU8	PCIE4_1_INTRL_ENG	PCle x4 1	I	VDDIO_18	Система электромеханической блокировки включена
598	AK14	PCIE4_1_MRL_SENS	PCle x4 1	I	VDDIO_18	Состояние датчика MRL
599	AT8	PCIE4_1_PRES_ST	PCle x4 1	I	VDDIO_18	Состояние детектора присутствия
600	AL11	PCIE4_1_PWR_CTRL	PCle x4 1	O	VDDIO_18	Управление контроллером питания
601	AK13	PCIE4_1_PWR_FAULT	PCle x4 1	I	VDDIO_18	Детектор сбоя питания
602	AL12	PCIE4_1_PWR_IND[0]	PCle x4 1	O	VDDIO_18	Управление индикатором питания
603	AM13	PCIE4_1_PWR_IND[1]	PCle x4 1	O	VDDIO_18	Управление индикатором питания
604	AV8	PCIE4_1_RBIAS	PCle x4 1	IO	VDD_PCIE4_1_15	Подключение опорного резистора
605	AV7	PCIE4_1_REF_CLKN	PCle x4 1	I	VDD_PCIE4_1_15	Опорные тактовые импульсы (дифференциальная пара)
606	AW7	PCIE4_1_REF_CLKP	PCle x4 1	I	VDD_PCIE4_1_15	Опорные тактовые импульсы (дифференциальная пара)
607	AV6	PCIE4_1_RXN[0]	PCle x4 1	I	VDD_PCIE4_1_15	Данные, принимаемые по дифференциальной паре 0
608	AW5	PCIE4_1_RXN[1]	PCle x4 1	I	VDD_PCIE4_1_15	Данные, принимаемые по дифференциальной паре 1
609	AV3	PCIE4_1_RXN[2]	PCle x4 1	I	VDD_PCIE4_1_15	Данные, принимаемые по дифференциальной паре 2
610	AW2	PCIE4_1_RXN[3]	PCle x4 1	I	VDD_PCIE4_1_15	Данные, принимаемые по дифференциальной паре 3
611	AV5	PCIE4_1_RXP[0]	PCle x4 1	I	VDD_PCIE4_1_15	Данные, принимаемые по дифференциальной паре 0
612	AW4	PCIE4_1_RXP[1]	PCle x4 1	I	VDD_PCIE4_1_15	Данные, принимаемые по дифференциальной паре 1
613	AV2	PCIE4_1_RXP[2]	PCle x4 1	I	VDD_PCIE4_1_15	Данные, принимаемые по дифференциальной паре 2

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
614	AW1	PCIE4_1_RXP[3]	PCle x4 1	I	VDD_PCIE4_1_15	Данные, принимаемые по дифференциальной паре 3
615	AT6	PCIE4_1_TXN[0]	PCle x4 1	O	VDD_PCIE4_1_15	Данные, передаваемые по дифференциальной паре 0
616	AU5	PCIE4_1_TXN[1]	PCle x4 1	O	VDD_PCIE4_1_15	Данные, передаваемые по дифференциальной паре 1
617	AT3	PCIE4_1_TXN[2]	PCle x4 1	O	VDD_PCIE4_1_15	Данные, передаваемые по дифференциальной паре 2
618	AU2	PCIE4_1_TXN[3]	PCle x4 1	O	VDD_PCIE4_1_15	Данные, передаваемые по дифференциальной паре 3
619	AT5	PCIE4_1_TXP[0]	PCle x4 1	O	VDD_PCIE4_1_15	Данные, передаваемые по дифференциальной паре 0
620	AU4	PCIE4_1_TXP[1]	PCle x4 1	O	VDD_PCIE4_1_15	Данные, передаваемые по дифференциальной паре 1
621	AT2	PCIE4_1_TXP[2]	PCle x4 1	O	VDD_PCIE4_1_15	Данные, передаваемые по дифференциальной паре 2
622	AU1	PCIE4_1_TXP[3]	PCle x4 1	O	VDD_PCIE4_1_15	Данные, передаваемые по дифференциальной паре 3
623	AK6	PCIE8_AMON0	PCle x8	O	VDD_PCIE8_15	Диагностический вывод PNY
624	AJ8	PCIE8_AMON1	PCle x8	O	VDD_PCIE8_15	Диагностический вывод PNY
625	AM9	PCIE8_ATT_BUT	PCle x8	I	VDDIO_18	Нажата кнопка «Внимание»
626	AN7	PCIE8_ATT_IND[0]	PCle x8	O	VDDIO_18	Управление индикатором предупреждения
627	AN8	PCIE8_ATT_IND[1]	PCle x8	O	VDDIO_18	Управление индикатором предупреждения
628	AJ5	PCIE8_CMD_INT	PCle x8	I	VDDIO_18	Команда контроллера горячей замены завершила прерывание
629	AL8	PCIE8_DMON0	PCle x8	O	VDD_PCIE8_09	Диагностический вывод PNY
630	AK9	PCIE8_DMON1	PCle x8	O	VDD_PCIE8_09	Диагностический вывод PNY
631	AL9	PCIE8_DMONB0	PCle x8	O	VDD_PCIE8_09	Диагностический вывод PNY
632	AK8	PCIE8_DMONB1	PCle x8	O	VDD_PCIE8_09	Диагностический вывод PNY
633	AM8	PCIE8_INTRL_CTRL	PCle x8	O	VDDIO_18	Электромеханическая блокировка управления
634	AM7	PCIE8_INTRL_ENG	PCle x8	I	VDDIO_18	Система электромеханической блокировки включена

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
635	AH9	PCIE8_MRL_SENS	PCIe x8	I	VDDIO_18	Состояние датчика MRL
636	AL10	PCIE8_PRES_ST	PCIe x8	I	VDDIO_18	Состояние детектора присутствия
637	AJ6	PCIE8_PWR_CTRL	PCIe x8	O	VDDIO_18	Управление контроллером питания
638	AJ7	PCIE8_PWR_FAULT	PCIe x8	I	VDDIO_18	Детектор сбоя питания
639	AH7	PCIE8_PWR_IND[0]	PCIe x8	O	VDDIO_18	Управление индикатором питания
640	AH8	PCIE8_PWR_IND[1]	PCIe x8	O	VDDIO_18	Управление индикатором питания
641	AN5	PCIE8_RBIAS0	PCIe x8	IO	VDD_PCIE8_15	Подключение опорного резистора
642	AP6	PCIE8_RBIAS1	PCIe x8	IO	VDD_PCIE8_15	Подключение опорного резистора
643	AL5	PCIE8_REF_CLKN	PCIe x8	I	VDD_PCIE8_15	Опорные тактовые импульсы (дифференциальная пара)
644	AL6	PCIE8_REF_CLKP	PCIe x8	I	VDD_PCIE8_15	Опорные тактовые импульсы (дифференциальная пара)
645	AR1	PCIE8_RXN[0]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 0
646	AP2	PCIE8_RXN[1]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 1
647	AM1	PCIE8_RXN[2]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 2
648	AL2	PCIE8_RXN[3]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 3
649	AH1	PCIE8_RXN[4]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 4
650	AG2	PCIE8_RXN[5]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 5
651	AE1	PCIE8_RXN[6]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 6
652	AD2	PCIE8_RXN[7]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 7
653	AP1	PCIE8_RXP[0]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 0
654	AN2	PCIE8_RXP[1]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 1
655	AL1	PCIE8_RXP[2]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 2

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
656	AK2	PCIE8_RXP[3]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 3
657	AJ1	PCIE8_RXP[4]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 4
658	AH2	PCIE8_RXP[5]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 5
659	AF1	PCIE8_RXP[6]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 6
660	AE2	PCIE8_RXP[7]	PCIe x8	I	VDD_PCIE8_15	Данные, принимаемые по дифференциальной паре 7
661	AR4	PCIE8_TXN[0]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 0
662	AP3	PCIE8_TXN[1]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 1
663	AM4	PCIE8_TXN[2]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 2
664	AL3	PCIE8_TXN[3]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 3
665	AH4	PCIE8_TXN[4]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 4
666	AG3	PCIE8_TXN[5]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 5
667	AE4	PCIE8_TXN[6]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 6
668	AD3	PCIE8_TXN[7]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 7
669	AP4	PCIE8_TXP[0]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 0
670	AN3	PCIE8_TXP[1]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 1
671	AL4	PCIE8_TXP[2]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 2
672	AK3	PCIE8_TXP[3]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 3
673	AJ4	PCIE8_TXP[4]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 4
674	AH3	PCIE8_TXP[5]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 5

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
675	AF4	PCIE8_TXP[6]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 6
676	AE3	PCIE8_TXP[7]	PCIe x8	O	VDD_PCIE8_15	Данные, передаваемые по дифференциальной паре 7
677	AJ15	RESET_N	Resets	I	VDDIO_18	Перезагрузка системы
678	D31	SATA_P0ACTLED	SATA	O	VDDIO_18	
679	E31	SATA_P0CPDET	SATA	I	VDDIO_18	Cold Presence Detect P0
680	E30	SATA_P0CPPOD	SATA	O	VDDIO_18	Cold Presence Power-On Device P0
681	F30	SATA_P0MPSW	SATA	I	VDDIO_18	Mechanical Presence Switch P0
682	F29	SATA_P1ACTLED	SATA	O	VDDIO_18	
683	G29	SATA_P1CPDET	SATA	I	VDDIO_18	Cold Presence Detect P1
684	F28	SATA_P1CPPOD	SATA	O	VDDIO_18	Cold Presence Power-On Device P1
685	G28	SATA_P1MPSW	SATA	I	VDDIO_18	Mechanical Presence Switch P1
686	A31	SATA_REFCLKM	SATA	I	VDD_SATA_09	Опорные тактовые импульсы (дифференциальная пара)
687	B31	SATA_REFCLKP	SATA	I	VDD_SATA_09	Опорные тактовые импульсы (дифференциальная пара)
688	D29	SATA_RESREF	SATA	A		Опорный резистор
689	C30	SATA_RXN[0]	SATA	I	VDD_SATA_09	Данные, принимаемые по дифференциальной паре 0
690	B28	SATA_RXN[1]	SATA	I	VDD_SATA_09	Данные, принимаемые по дифференциальной паре 1
691	B30	SATA_RXP[0]	SATA	I	VDD_SATA_09	Данные, принимаемые по дифференциальной паре 0
692	C28	SATA_RXP[1]	SATA	I	VDD_SATA_09	Данные, принимаемые по дифференциальной паре 1
693	B29	SATA_TXN[0]	SATA	O	VDD_SATATX_09	Данные, передаваемые по дифференциальной паре 0
694	A27	SATA_TXN[1]	SATA	O	VDD_SATATX_09	Данные, передаваемые по дифференциальной паре 1
695	A29	SATA_TXP[0]	SATA	O	VDD_SATATX_09	Данные, передаваемые по дифференциальной паре 0
696	B27	SATA_TXP[1]	SATA	O	VDD_SATATX_09	Данные, передаваемые по дифференциальной паре 1

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
697	L36	SD_CAP0	SD Card	A		Аналоговый вход для подключения конденсатора емкостью 1 мкФ
698	M35	SD_CAP1	SD Card	A		Аналоговый вход для подключения конденсатора емкостью 1 мкФ
699	K36	SD_CARD_DETECT_N	SD Card	I	VDDIO_18	Обнаружение карты
700	N39	SD_CLK	SD Card	O	VDD_SD_33	Сигнал тактирования
701	K34	SD_CMD	SD Card	IO	VDD_SD_33	Команда SD карты
702	L38	SD_DAT[0]	SD Card	IO	VDD_SD_33	Данные SD карты
703	L37	SD_DAT[1]	SD Card	IO	VDD_SD_33	Данные SD карты
704	M39	SD_DAT[2]	SD Card	IO	VDD_SD_33	Данные SD карты
705	M38	SD_DAT[3]	SD Card	IO	VDD_SD_33	Данные SD карты
706	M37	SD_DAT[4]	SD Card	IO	VDD_SD_33	Данные SD карты
707	N38	SD_DAT[5]	SD Card	IO	VDD_SD_33	Данные SD карты
708	N37	SD_DAT[6]	SD Card	IO	VDD_SD_33	Данные SD карты
709	N36	SD_DAT[7]	SD Card	IO	VDD_SD_33	Данные SD карты
710	M34	SD_LED_CTRL	SD Card	O	VDDIO_18	Сигнал управления светодиодом
711	N34	SD_REG_VOL_STABLE	SD Card	I	VDDIO_18	Стабилизация напряжения
712	P36	SD_RST_N	SD Card	O	VDD_SD_33	Сброс устройства eMMC, активный низкий
713	L34	SD_VDD_ON	SD Card	O	VDDIO_18	Включение внешнего источника питания
714	M33	SD_VDD_SEL[0]	SD Card	O	VDDIO_18	Выбор напряжения работы интерфейса
715	N33	SD_VDD_SEL[1]	SD Card	O	VDDIO_18	Выбор напряжения работы интерфейса
716	P34	SD_VDD_SEL[2]	SD Card	O	VDDIO_18	Выбор напряжения работы интерфейса
717	K35	SD_WRITE_PROT	SD Card	I	VDDIO_18	Выбор напряжения работы интерфейса
718	AV18	SMB0_CLK	SMBUS SM	IO	VDDIO_18	Тактовая частота SM SMBus
719	AW18	SMB0_DAT	SMBUS SM	IO	VDDIO_18	Данные SM SMBus
720	G39	SMB1_CLK	SMBUS 1	IO	VDDIO_18	Тактовая частота LSP SMBus1
721	H39	SMB1_DAT	SMBUS 1	IO	VDDIO_18	Данные LSP SMBus1
722	G38	SMB2_CLK	SMBUS 2	IO	VDDIO_18	Тактовая частота LSP SMBus2
723	H38	SMB2_DAT	SMBUS 2	IO	VDDIO_18	Данные LSP SMBus2
724	AL18	TEST_1	SM	I	VDDIO_18	Тестовый вывод 1

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
725	AW19	SPI0_CLK	BC SPI 0 SM	O	VDDIO_18	Тактовая частота
726	AT19	SPI0_RXD	BC SPI 0 SM	I	VDDIO_18	Принимаемые данные
727	AR19	SPI0_SS_N[0]	BC SPI 0 SM	O	VDDIO_18	Выбор Slave устройства
728	AP19	SPI0_SS_N[1]	BC SPI 0 SM	O	VDDIO_18	Выбор Slave устройства
729	AN20	SPI0_SS_N[2]	BC SPI 0 SM	O	VDDIO_18	Выбор Slave устройства
730	AM20	SPI0_SS_N[3]	BC SPI 0 SM	O	VDDIO_18	Выбор Slave устройства
731	AU19	SPI0_TXD	BC SPI 0 SM	O	VDDIO_18	Передаваемые данные
732	F39	SPI1_CLK	SPI 1	O	VDDIO_18	Тактовая частота
733	E38	SPI1_RXD	SPI 1	I	VDDIO_18	Принимаемые данные
734	E37	SPI1_SS_N[0]	SPI 1	O	VDDIO_18	Выбор Slave устройства
735	F37	SPI1_SS_N[1]	SPI 1	O	VDDIO_18	Выбор Slave устройства
736	F36	SPI1_SS_N[2]	SPI 1	O	VDDIO_18	Выбор Slave устройства
737	F35	SPI1_SS_N[3]	SPI 1	O	VDDIO_18	Выбор Slave устройства
738	E39	SPI1_TXD	SPI 1	O	VDDIO_18	Передаваемые данные
739	AJ12			NC		Резервный вывод
740	AH11			NC		Резервный вывод
741	AH12			NC		Резервный вывод
742	AH14			NC		Резервный вывод
743	AH13			NC		Резервный вывод
744	AK18	UART0_RXD	UART SM	I	VDDIO_18	Принимаемые данные
745	AK19	UART0_TXD	UART SM	O	VDDIO_18	Передаваемые данные
746	J38	UART1_RXD	UART1	I	VDDIO_18	Принимаемые данные
747	J39	UART1_TXD	UART1	O	VDDIO_18	Передаваемые данные
748	K38	UART2_RXD	UART2	I	VDDIO_18	Принимаемые данные
749	K39	UART2_TXD	UART2	O	VDDIO_18	Передаваемые данные
750	K27	USB2_0_CTRL	USB2 0	O	VDDIO_18	Включение питания порта
751	D19	USB2_0_DM0	USB2 0	IO	VDD_USB2_0_33	Сигнал USB D-
752	E19	USB2_0_DP0	USB2 0	IO	VDD_USB2_0_33	Сигнал USB D+
753	P24	USB2_0_ID0	USB2 0	IO	VDD_USB2_18	OTG идентификация

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
754	P23	USB2_0_OVCUR	USB2 0	I	VDDIO_18	Перегрузка по току порта
755	N23	USB2_0_RT	USB2 0	IO	VDD_USB2_18	Подстроечный резистор
756	M23	USB2_0_VBUS0	USB2 0	A		Сигнал USB 5 В
757	F20	USB2_0_XI	USB2 0	I	VDD_USB2_18	Кварцевый генератор (вход)
758	G20	USB2_0_XO	USB2 0	I	VDD_USB2_18	Кварцевый генератор (выход) или тактовый сигнал (вход)
759	K28	USB2_1_CTRL	USB2 1	O	VDDIO_18	Включение питания порта
760	E22	USB2_1_DM0	USB2 1	IO	VDD_USB2_1_33	Сигнал USB D-
761	F22	USB2_1_DP0	USB2 1	IO	VDD_USB2_1_33	Сигнал USB D+
762	N27	USB2_1_ID0	USB2 1	IO	VDD_USB2_18	OTG идентификация
763	N24	USB2_1_OVCUR	USB2 1	I	VDDIO_18	Перегрузка по току порта
764	N25	USB2_1_RT	USB2 1	IO	VDD_USB2_18	Подстроечный резистор
765	M25	USB2_1_VBUS0	USB2 1	A		Сигнал USB 5 В
766	F21	USB2_1_XI	USB2 1	I	VDD_USB2_18	Кварцевый генератор (вход)
767	G21	USB2_1_XO	USB2 1	I	VDD_USB2_18	Кварцевый генератор (выход) или тактовый сигнал (вход)
768	H28	USB2_2_CTRL	USB2 2	O	VDDIO_18	Включение питания порта
769	D23	USB2_2_DM0	USB2 2	IO	VDD_USB2_2_33	Сигнал USB D-
770	E23	USB2_2_DP0	USB2 2	IO	VDD_USB2_2_33	Сигнал USB D+
771	N26	USB2_2_ID0	USB2 2	IO	VDD_USB2_18	OTG идентификация
772	M26	USB2_2_OVCUR	USB2 2	I	VDDIO_18	Перегрузка по току порта
773	H26	USB2_2_RT	USB2 2	IO	VDD_USB2_18	Подстроечный резистор
774	G26	USB2_2_VBUS0	USB2 2	A		Сигнал USB 5 В
775	F24	USB2_2_XI	USB2 2	I	VDD_USB2_18	Кварцевый генератор (вход)
776	G24	USB2_2_XO	USB2 2	I	VDD_USB2_18	Кварцевый генератор (выход) или тактовый сигнал (вход)
777	H29	USB2_3_CTRL	USB2 3	O	VDDIO_18	Включение питания порта
778	D26	USB2_3_DM0	USB2 3	IO	VDD_USB2_3_33	Сигнал USB D-
779	E26	USB2_3_DP0	USB2 3	IO	VDD_USB2_3_33	Сигнал USB D+
780	G27	USB2_3_ID0	USB2 3	IO	VDD_USB2_18	OTG идентификация
781	E28	USB2_3_OVCUR	USB2 3	I	VDDIO_18	Перегрузка по току порта

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
782	F27	USB2_3_RT	USB2 3	IO		Подстроечный резистор
783	E27	USB2_3_VBUS0	USB2 3	A		Сигнал USB 5 В
784	F25	USB2_3_XI	USB2 3	I	VDD_USB2_18	Кварцевый генератор (вход)
785	G25	USB2_3_XO	USB2 3	I	VDD_USB2_18	Кварцевый генератор (выход) или тактовый сигнал (вход)
786	K25	USB2_4_CTRL	USB3 0	O	VDDIO_18	Включение питания порта
787	L24	USB2_4_OVCUR	USB3 0	I	VDDIO_18	Перегрузка по току порта
788	J20	USB2_5_CTRL	USB3 1	O	VDDIO_18	Включение питания порта
789	L19	USB2_5_OVCUR	USB3 1	I	VDDIO_18	Перегрузка по току порта
790	J24	USB3_0_CTRL	USB3 0	O	VDDIO_18	Включение питания порта
791	C26	USB3_0_DM0	USB3 0	IO	VDD_USB3_33	Сигнал USB D-
792	B26	USB3_0_DP0	USB3 0	IO	VDD_USB3_33	Сигнал USB D+
793	L23	USB3_0_ID0	USB3 0	IO		Идентификатор USB 2.0
794	K24	USB3_0_OVCUR	USB3 0	I	VDDIO_18	Перегрузка по току порта
795	B25	USB3_0_REFCLKN	USB3 0	I	VDD_USB3VP_0_09	Дополнительный тактовый сигнал USB 3.0
796	A25	USB3_0_REFCLKP	USB3 0	I	VDD_USB3VP_0_09	Дополнительный тактовый сигнал USB 3.0
797	J23	USB3_0_RESREF	USB3 0	A		Опорный резистор
798	A23	USB3_0_RXON	USB3 0	I	VDD_USB3VP_0_09	Прием данных USB 3.0
799	B23	USB3_0_RXOP	USB3 0	I	VDD_USB3VP_0_09	Прием данных USB 3.0
800	B24	USB3_0_TXON	USB3 0	O	VDD_USB3TX_0_09	Передача данных USB 3.0
801	C24	USB3_0_TXOP	USB3 0	O	VDD_USB3TX_0_09	Передача данных USB 3.0
802	D24	USB3_0_VBUS0	USB3 0	A		Контакт питания (5 В)
803	J19	USB3_1_CTRL	USB3 1	O	VDDIO_18	Включение питания порта
804	C22	USB3_1_DM0	USB3 1	IO	VDD_USB3_33	Сигнал USB D-
805	B22	USB3_1_DP0	USB3 1	IO	VDD_USB3_33	Сигнал USB D+
806	H19	USB3_1_ID0	USB3 1	IO		Идентификатор USB 2.0
807	K19	USB3_1_OVCUR	USB3 1	I	VDDIO_18	Перегрузка по току порта
808	B21	USB3_1_REFCLKN	USB3 1	I	VDD_USB3VP_1_09	Дополнительный тактовый сигнал USB 3.0
809	A21	USB3_1_REFCLKP	USB3 1	I	VDD_USB3VP_1_09	Дополнительный тактовый сигнал USB 3.0
810	H20	USB3_1_RESREF	USB3 1	A		Опорный резистор

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
811	A19	USB3_1_RXON	USB3 1	I	VDD_USB3VP_1_09	Прием данных USB 3.0
812	B19	USB3_1_RXOP	USB3 1	I	VDD_USB3VP_1_09	Прием данных USB 3.0
813	B20	USB3_1_TXON	USB3 1	O	VDD_USB3TX_1_09	Передача данных USB 3.0
814	C20	USB3_1_TXOP	USB3 1	O	VDD_USB3TX_1_09	Передача данных USB 3.0
815	D20	USB3_1_VBUS0	USB3 1	A		Контакт питания (5 В)
816	AB16	VDD	VDD	P		Питание ядра
817	AB17	VDD	VDD	P		Питание ядра
818	AB18	VDD	VDD	P		Питание ядра
819	AB19	VDD	VDD	P		Питание ядра
820	AB20	VDD	VDD	P		Питание ядра
821	AB21	VDD	VDD	P		Питание ядра
822	AB22	VDD	VDD	P		Питание ядра
823	AB23	VDD	VDD	P		Питание ядра
824	AB24	VDD	VDD	P		Питание ядра
825	AB25	VDD	VDD	P		Питание ядра
826	AB26	VDD	VDD	P		Питание ядра
827	AB27	VDD	VDD	P		Питание ядра
828	AB28	VDD	VDD	P		Питание ядра
829	AB29	VDD	VDD	P		Питание ядра
830	AD14	VDD	VDD	P		Питание ядра
831	AD15	VDD	VDD	P		Питание ядра
832	AD16	VDD	VDD	P		Питание ядра
833	AD17	VDD	VDD	P		Питание ядра
834	AD18	VDD	VDD	P		Питание ядра
835	AD19	VDD	VDD	P		Питание ядра
836	AD20	VDD	VDD	P		Питание ядра
837	AD21	VDD	VDD	P		Питание ядра
838	AD22	VDD	VDD	P		Питание ядра
839	AD23	VDD	VDD	P		Питание ядра
840	AD24	VDD	VDD	P		Питание ядра
841	AD25	VDD	VDD	P		Питание ядра
842	AD26	VDD	VDD	P		Питание ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
843	AD27	VDD	VDD	P		Питание ядра
844	AD28	VDD	VDD	P		Питание ядра
845	AD29	VDD	VDD	P		Питание ядра
846	AD30	VDD	VDD	P		Питание ядра
847	AD31	VDD	VDD	P		Питание ядра
848	AD32	VDD	VDD	P		Питание ядра
849	AF26	VDD	VDD	P		Питание ядра
850	AF27	VDD	VDD	P		Питание ядра
851	AF30	VDD	VDD	P		Питание ядра
852	AG28	VDD	VDD	P		Питание ядра
853	T15	VDD	VDD	P		Питание ядра
854	T16	VDD	VDD	P		Питание ядра
855	T17	VDD	VDD	P		Питание ядра
856	T18	VDD	VDD	P		Питание ядра
857	T19	VDD	VDD	P		Питание ядра
858	T20	VDD	VDD	P		Питание ядра
859	T21	VDD	VDD	P		Питание ядра
860	T22	VDD	VDD	P		Питание ядра
861	T23	VDD	VDD	P		Питание ядра
862	T24	VDD	VDD	P		Питание ядра
863	T25	VDD	VDD	P		Питание ядра
864	T26	VDD	VDD	P		Питание ядра
865	T27	VDD	VDD	P		Питание ядра
866	T28	VDD	VDD	P		Питание ядра
867	T29	VDD	VDD	P		Питание ядра
868	T30	VDD	VDD	P		Питание ядра
869	V15	VDD	VDD	P		Питание ядра
870	V16	VDD	VDD	P		Питание ядра
871	V17	VDD	VDD	P		Питание ядра
872	V18	VDD	VDD	P		Питание ядра
873	V19	VDD	VDD	P		Питание ядра
874	V20	VDD	VDD	P		Питание ядра
875	V21	VDD	VDD	P		Питание ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
876	V22	VDD	VDD	P		Питание ядра
877	V23	VDD	VDD	P		Питание ядра
878	V24	VDD	VDD	P		Питание ядра
879	V25	VDD	VDD	P		Питание ядра
880	V26	VDD	VDD	P		Питание ядра
881	V27	VDD	VDD	P		Питание ядра
882	V28	VDD	VDD	P		Питание ядра
883	Y16	VDD	VDD	P		Питание ядра
884	Y17	VDD	VDD	P		Питание ядра
885	Y18	VDD	VDD	P		Питание ядра
886	Y19	VDD	VDD	P		Питание ядра
887	Y20	VDD	VDD	P		Питание ядра
888	Y21	VDD	VDD	P		Питание ядра
889	Y22	VDD	VDD	P		Питание ядра
890	Y23	VDD	VDD	P		Питание ядра
891	Y24	VDD	VDD	P		Питание ядра
892	Y25	VDD	VDD	P		Питание ядра
893	Y26	VDD	VDD	P		Питание ядра
894	Y27	VDD	VDD	P		Питание ядра
895	Y28	VDD	VDD	P		Питание ядра
896	Y29	VDD	VDD	P		Питание ядра
897	AB14	VDD_DDR0_PLL	DDR 0	P		Питание PLL DDR
898	AB15	VDD_DDR0_PLL	DDR 0	P		Питание PLL DDR
899	AD13	VDD_DDR0_PLL	DDR 0	P		Питание PLL DDR
900	V14	VDD_DDR0_PLL	DDR 0	P		Питание PLL DDR
901	Y14	VDD_DDR0_PLL	DDR 0	P		Питание PLL DDR
902	Y15	VDD_DDR0_PLL	DDR 0	P		Питание PLL DDR
903	AG29	VDD_DDR1_PLL	DDR 1	P		Питание PLL DDR
904	AG30	VDD_DDR1_PLL	DDR 1	P		Питание PLL DDR
905	AH28	VDD_DDR1_PLL	DDR 1	P		Питание PLL DDR
906	AH29	VDD_DDR1_PLL	DDR 1	P		Питание PLL DDR
907	AH30	VDD_DDR1_PLL	DDR 1	P		Питание PLL DDR
908	AJ29	VDD_DDR1_PLL	DDR 1	P		Питание PLL DDR

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
909	AF21	VDD_18	VDD SM	P		Питание SM
910	F9	VDD_HDMI_09	HDMI	P		Питание HDMI
911	F10	VDD_HDMI_18	HDMI	P		Питание HDMI
912	AN14	VDD_PCIE4_0_09	PCIe x4 0	P		Питание PCIe PHY
913	AP14	VDD_PCIE4_0_09	PCIe x4 0	P		Питание PCIe PHY
914	AR15	VDD_PCIE4_0_09	PCIe x4 0	P		Питание PCIe PHY
915	AR8	VDD_PCIE4_0_15	PCIe x4 0	P		Питание PCIe PHY IO
916	AM10	VDD_PCIE4_1_09	PCIe x4 1	P		Питание PCIe PHY
917	AN10	VDD_PCIE4_1_09	PCIe x4 1	P		Питание PCIe PHY
918	AN11	VDD_PCIE4_1_09	PCIe x4 1	P		Питание PCIe PHY
919	AP8	VDD_PCIE4_1_15	PCIe x4 1	P		Питание PCIe PHY IO
920	AF5	VDD_PCIE8_09	PCIe x8	P		Питание PCIe PHY
921	AH5	VDD_PCIE8_09	PCIe x8	P		Питание PCIe PHY
922	AM6	VDD_PCIE8_09	PCIe x8	P		Питание PCIe PHY
923	AP5	VDD_PCIE8_09	PCIe x8	P		Питание PCIe PHY
924	AP7	VDD_PCIE8_09	PCIe x8	P		Питание PCIe PHY
925	AR6	VDD_PCIE8_09	PCIe x8	P		Питание PCIe PHY
926	AJ10	VDD_PCIE8_15	PCIe x8	P		Питание PCIe PHY IO
927	AJ11	VDD_PCIE8_15	PCIe x8	P		Питание PCIe PHY IO
928	M27	VDD_PVT_18	PVT VDD	P		Питание датчика PVT
929	J26	VDD_SATA_09	SATA	P		Питание SATA PHY
930	K26	VDD_SATA_18	SATA	P		Питание SATA PHY
931	J27	VDD_SATATX_09	SATA	P		Питание SATA PHY
932	P37	VDD_SD_33	SD Card	P		Питание SD
933	P38	VDD_SD_33	SD Card	P		Питание SD
934	F19	VDD_USB2_0_33	USB2 0	P		Питание USB 2.0
935	J21	VDD_USB2_09	USB2 3	P		Питание USB 2.0
936	K21	VDD_USB2_09	USB2 1	P		Питание USB 2.0
937	G19	VDD_USB2_1_33	USB2 1	P		Питание USB 2.0
938	G23	VDD_USB2_18	USB2 2	P		Питание USB 2.0
939	H23	VDD_USB2_18	USB2 0	P		Питание USB 2.0
940	H24	VDD_USB2_2_33	USB2 2	P		Питание USB 2.0
941	H25	VDD_USB2_3_33	USB2 3	P		Питание USB 2.0

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
942	A20	VDD_USB3_0_09	USB3 0	P		Питание USB 3.0
943	A24	VDD_USB3_1_09	USB3 1	P		Питание USB 3.0
944	K20	VDD_USB3_33	USB3 0	P		Питание USB 3.0
945	K23	VDD_USB3_33	USB3 1	P		Питание USB 3.0
946	L18	VDD_USB3_33	USB3 0	P		Питание USB 3.0
947	M22	VDD_USB3_33	USB3 1	P		Питание USB 3.0
948	D25	VDD_USB3TX_0_09	USB3 0	P		Питание USB 3.0
949	C21	VDD_USB3TX_1_09	USB3 1	P		Питание USB 3.0
950	E25	VDD_USB3VP_0_09	USB3 0	P		Питание USB 3.0
951	D21	VDD_USB3VP_1_09	USB3 1	P		Питание USB 3.0
952	F11	VDD_XG0_09	XGBE 0	P		Питание XGbE PHY
953	G11	VDD_XG0_09	XGBE 0	P		Питание XGbE PHY
954	H11	VDD_XG0_09	XGBE 0	P		Питание XGbE PHY
955	F13	VDD_XG0_15	XGBE 0	P		Питание XGbE PHY IO
956	K16	VDD_XG1_09	XGBE 1	P		Питание XGbE PHY
957	K17	VDD_XG1_09	XGBE 1	P		Питание XGbE PHY
958	L16	VDD_XG1_09	XGBE 1	P		Питание XGbE PHY
959	J17	VDD_XG1_15	XGBE 1	P		Питание XGbE PHY IO
960	AB30	VDDIO_18	VDDIO	P		Питание входа/выхода
961	AB31	VDDIO_18	VDDIO	P		Питание входа/выхода
962	AF14	VDDIO_18	VDDIO	P		Питание входа/выхода
963	AF15	VDDIO_18	VDDIO	P		Питание входа/выхода
964	AF16	VDDIO_18	VDDIO	P		Питание входа/выхода
965	AF17	VDDIO_18	VDDIO	P		Питание входа/выхода
966	AF18	VDDIO_18	VDDIO	P		Питание входа/выхода
967	AF19	VDDIO_18	VDDIO	P		Питание входа/выхода
968	J15	VDDIO_18	VDDIO	P		Питание входа/выхода
969	K15	VDDIO_18	VDDIO	P		Питание входа/выхода
970	V29	VDDIO_18	VDDIO	P		Питание входа/выхода
971	V30	VDDIO_18	VDDIO	P		Питание входа/выхода

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
972	V31	VDDIO_18	VDDIO	P		Питание входа/выхода
973	V32	VDDIO_18	VDDIO	P		Питание входа/выхода
974	Y30	VDDIO_18	VDDIO	P		Питание входа/выхода
975	Y31	VDDIO_18	LVDS	P		Output driver power, 1.8 V
976	Y32	VDDIO_18	VDDIO	P		Питание входа/выхода
977	Y33	VDDIO_18	VDDIO	P		Питание входа/выхода
978	P16	VDDPLL_0_09	PLL POWER	P		Питание PLL
979	W31	VDDPLL_1_09	PLL POWER	P		Питание PLL
980	AF32	VDDPLL_2_09	PLL POWER	P		Питание PLL
981	AN19	VDDPLL_3_09	PLL POWER	P		Питание PLL
982	J14	VDDPLL_HDMI_09	PLL POWER	P		Питание HDMI PLL
983	AA10	VDDQ_DDR0	DDR 0	P		Питание DDR
984	AC7	VDDQ_DDR0	DDR 0	P		Питание DDR
985	K11	VDDQ_DDR0	DDR 0	P		Питание DDR
986	K9	VDDQ_DDR0	DDR 0	P		Питание DDR
987	L12	VDDQ_DDR0	DDR 0	P		Питание DDR
988	L15	VDDQ_DDR0	DDR 0	P		Питание DDR
989	N14	VDDQ_DDR0	DDR 0	P		Питание DDR
990	N15	VDDQ_DDR0	DDR 0	P		Питание DDR
991	P9	VDDQ_DDR0	DDR 0	P		Питание DDR
992	R14	VDDQ_DDR0	DDR 0	P		Питание DDR
993	R15	VDDQ_DDR0	DDR 0	P		Питание DDR
994	R7	VDDQ_DDR0	DDR 0	P		Питание DDR
995	R9	VDDQ_DDR0	DDR 0	P		Питание DDR
996	T13	VDDQ_DDR0	DDR 0	P		Питание DDR
997	U13	VDDQ_DDR0	DDR 0	P		Питание DDR
998	U9	VDDQ_DDR0	DDR 0	P		Питание DDR
999	V10	VDDQ_DDR0	DDR 0	P		Питание DDR
1000	V8	VDDQ_DDR0	DDR 0	P		Питание DDR
1001	Y12	VDDQ_DDR0	DDR 0	P		Питание DDR
1002	AG34	VDDQ_DDR1	DDR 1	P		Питание DDR

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1003	AG36	VDDQ_DDR1	DDR 1	P		Питание DDR
1004	AH31	VDDQ_DDR1	DDR 1	P		Питание DDR
1005	AH33	VDDQ_DDR1	DDR 1	P		Питание DDR
1006	AJ30	VDDQ_DDR1	DDR 1	P		Питание DDR
1007	AJ32	VDDQ_DDR1	DDR 1	P		Питание DDR
1008	AK21	VDDQ_DDR1	DDR 1	P		Питание DDR
1009	AL29	VDDQ_DDR1	DDR 1	P		Питание DDR
1010	AL33	VDDQ_DDR1	DDR 1	P		Питание DDR
1011	AM21	VDDQ_DDR1	DDR 1	P		Питание DDR
1012	AM32	VDDQ_DDR1	DDR 1	P		Питание DDR
1013	AN21	VDDQ_DDR1	DDR 1	P		Питание DDR
1014	AN30	VDDQ_DDR1	DDR 1	P		Питание DDR
1015	AP33	VDDQ_DDR1	DDR 1	P		Питание DDR
1016	AR28	VDDQ_DDR1	DDR 1	P		Питание DDR
1017	AT34	VDDQ_DDR1	DDR 1	P		Питание DDR
1018	AT36	VDDQ_DDR1	DDR 1	P		Питание DDR
1019	AT38	VDDQ_DDR1	DDR 1	P		Питание DDR
1020	AU31	VDDQ_DDR1	DDR 1	P		Питание DDR
1021	AW31	VDDQ_DDR1	DDR 1	P		Питание DDR
1022	A10	VSS	SD Card	G		Заземление ядра
1023	A12	VSS	SD Card	G		Заземление ядра
1024	A14	VSS	DDR 0	G		Заземление VSSQ
1025	A16	VSS	DDR 1	G		Заземление VSSQ
1026	A18	VSS	HDMI	G		Аналоговое заземление
1027	A22	VSS	VSS	G		Заземление ядра
1028	A26	VSS	VSS	G		Заземление ядра
1029	A28	VSS	VSS	G		Заземление ядра
1030	A30	VSS	VSS	G		Заземление ядра
1031	A8	VSS	VSS	G		Заземление ядра
1032	AA12	VSS	VSS	G		Заземление ядра
1033	AA14	VSS	VSS	G		Заземление ядра
1034	AA15	VSS	VSS	G		Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1035	AA16	VSS	VSS	G		Заземление ядра
1036	AA17	VSS	VSS	G		Заземление ядра
1037	AA18	VSS	VSS	G		Заземление ядра
1038	AA19	VSS	VSS	G		Заземление ядра
1039	AA20	VSS	VSS	G		Заземление ядра
1040	AA21	VSS	VSS	G		Заземление ядра
1041	AA22	VSS	VSS	G		Заземление ядра
1042	AA23	VSS	VSS	G		Заземление ядра
1043	AA24	VSS	VSS	G		Заземление ядра
1044	AA25	VSS	VSS	G		Заземление ядра
1045	AA26	VSS	VSS	G		Заземление ядра
1046	AA27	VSS	VSS	G		Заземление ядра
1047	AA3	VSS	VSS	G		Заземление ядра
1048	AA32	VSS	VSS	G		Заземление ядра
1049	AA33	VSS	VSS	G		Заземление ядра
1050	AA34	VSS	VSS	G		Заземление ядра
1051	AA37	VSS	VSS	G		Заземление ядра
1052	AA4	VSS	VSS	G		Заземление ядра
1053	AA5	VSS	VSS	G		Заземление ядра
1054	AA6	VSS	VSS	G		Заземление ядра
1055	AA7	VSS	VSS	G		Заземление ядра
1056	AB32	VSS	VSS	G		Заземление ядра
1057	AB33	VSS	VSS	G		Заземление ядра
1058	AB36	VSS	VSS	G		Заземление ядра
1059	AB39	VSS	VSS	G		Заземление ядра
1060	AC1	VSS	VSS	G		Заземление ядра
1061	AC14	VSS	VSS	G		Заземление ядра
1062	AC16	VSS	VSS	G		Заземление ядра
1063	AC17	VSS	VSS	G		Заземление ядра
1064	AC18	VSS	VSS	G		Заземление ядра
1065	AC19	VSS	VSS	G		Заземление ядра
1066	AC2	VSS	VSS	G		Заземление ядра
1067	AC20	VSS	VSS	G		Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1068	AC21	VSS	VSS	G		Заземление ядра
1069	AC22	VSS	VSS	G		Заземление ядра
1070	AC23	VSS	VSS	G		Заземление ядра
1071	AC24	VSS	VSS	G		Заземление ядра
1072	AC25	VSS	VSS	G		Заземление ядра
1073	AC26	VSS	VSS	G		Заземление ядра
1074	AC27	VSS	VSS	G		Заземление ядра
1075	AC3	VSS	VSS	G		Заземление ядра
1076	AC32	VSS	VSS	G		Заземление ядра
1077	AC33	VSS	VSS	G		Заземление ядра
1078	AC34	VSS	VSS	G		Заземление ядра
1079	AC37	VSS	VSS	G		Заземление ядра
1080	AD1	VSS	VSS	G		Заземление ядра
1081	AD11	VSS	VSS	G		Заземление ядра
1082	AD36	VSS	VSS	G		Заземление ядра
1083	AD39	VSS	VSS	G		Заземление ядра
1084	AD4	VSS	VSS	G		Заземление ядра
1085	AD9	VSS	VSS	G		Заземление ядра
1086	AE13	VSS	VSS	G		Заземление ядра
1087	AE14	VSS	VSS	G		Заземление ядра
1088	AE15	VSS	VSS	G		Заземление ядра
1089	AE16	VSS	VSS	G		Заземление ядра
1090	AE17	VSS	VSS	G		Заземление ядра
1091	AE18	VSS	VSS	G		Заземление ядра
1092	AE19	VSS	VSS	G		Заземление ядра
1093	AE20	VSS	VSS	G		Заземление ядра
1094	AE21	VSS	VSS	G		Заземление ядра
1095	AE22	VSS	VSS	G		Заземление ядра
1096	AE23	VSS	VSS	G		Заземление ядра
1097	AE24	VSS	VSS	G		Заземление ядра
1098	AE25	VSS	VSS	G		Заземление ядра
1099	AE26	VSS	VSS	G		Заземление ядра
1100	AE27	VSS	VSS	G		Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1101	AE28	VSS	VSS	G		Заземление ядра
1102	AE29	VSS	VSS	G		Заземление ядра
1103	AE30	VSS	VSS	G		Заземление ядра
1104	AE31	VSS	VSS	G		Заземление ядра
1105	AE32	VSS	VSS	G		Заземление ядра
1106	AE33	VSS	VSS	G		Заземление ядра
1107	AE34	VSS	VSS	G		Заземление ядра
1108	AE37	VSS	VSS	G		Заземление ядра
1109	AE8	VSS	VSS	G		Заземление ядра
1110	AF2	VSS	VSS	G		Заземление ядра
1111	AF20	VSS	VSS	G		Заземление ядра
1112	AF22	VSS	VSS	G		Заземление ядра
1113	AF23	VSS	VSS	G		Заземление ядра
1114	AF25	VSS	VSS	G		Заземление ядра
1115	AF28	VSS	VSS	G		Заземление ядра
1116	AF29	VSS	VSS	G		Заземление ядра
1117	AF3	VSS	VSS	G		Заземление ядра
1118	AF31	VSS	VSS	G		Заземление ядра
1119	AF36	VSS	VSS	G		Заземление ядра
1120	AF39	VSS	VSS	G		Заземление ядра
1121	AG1	VSS	VSS	G		Заземление ядра
1122	AG12	VSS	VSS	G		Заземление ядра
1123	AG17	VSS	VSS	G		Заземление ядра
1124	AG19	VSS	VSS	G		Заземление ядра
1125	AG20	VSS	VSS	G		Заземление ядра
1126	AG21	VSS	VSS	G		Заземление ядра
1127	AG27	VSS	VSS	G		Заземление ядра
1128	AG31	VSS	VSS	G		Заземление ядра
1129	AG32	VSS	VSS	G		Заземление ядра
1130	AG33	VSS	VSS	G		Заземление ядра
1131	AG35	VSS	VSS	G		Заземление ядра
1132	AG37	VSS	VSS	G		Заземление ядра
1133	AG38	VSS	VSS	G		Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1134	AG39	VSS	VSS	G		Заземление ядра
1135	AG4	VSS	VSS	G		Заземление ядра
1136	AG5	VSS	VSS	G		Заземление ядра
1137	AH10	VSS	VSS	G		Заземление ядра
1138	AH15	VSS	VSS	G		Заземление ядра
1139	AH16	VSS	VSS	G		Заземление ядра
1140	AH21	VSS	VSS	G		Заземление ядра
1141	AH24	VSS	VSS	G		Заземление ядра
1142	AH25	VSS	VSS	G		Заземление ядра
1143	AH32	VSS	VSS	G		Заземление ядра
1144	AH6	VSS	VSS	G		Заземление ядра
1145	AJ14	VSS	VSS	G		Заземление ядра
1146	AJ17	VSS	VSS	G		Заземление ядра
1147	AJ2	VSS	VSS	G		Заземление ядра
1148	AJ21	VSS	VSS	G		Заземление ядра
1149	AJ23	VSS	VSS	G		Заземление ядра
1150	AJ26	VSS	VSS	G		Заземление ядра
1151	AJ27	VSS	VSS	G		Заземление ядра
1152	AJ28	VSS	VSS	G		Заземление ядра
1153	AJ3	VSS	VSS	G		Заземление ядра
1154	AJ31	VSS	VSS	G		Заземление ядра
1155	AJ33	VSS	VSS	G		Заземление ядра
1156	AJ39	VSS	VSS	G		Заземление ядра
1157	AJ9	VSS	VSS	G		Заземление ядра
1158	AK1	VSS	VSS	G		Заземление ядра
1159	AK10	VSS	VSS	G		Заземление ядра
1160	AK11	VSS	VSS	G		Заземление ядра
1161	AK12	VSS	VSS	G		Заземление ядра
1162	AK15	VSS	VSS	G		Заземление ядра
1163	AK16	VSS	VSS	G		Заземление ядра
1164	AK20	VSS	VSS	G		Заземление ядра
1165	AK23	VSS	VSS	G		Заземление ядра
1166	AK32	VSS	VSS	G		Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1167	AK33	VSS	VSS	G		Заземление ядра
1168	AK36	VSS	VSS	G		Заземление ядра
1169	AK4	VSS	VSS	G		Заземление ядра
1170	AK5	VSS	VSS	G		Заземление ядра
1171	AK7	VSS	VSS	G		Заземление ядра
1172	AL13	VSS	VSS	G		Заземление ядра
1173	AL14	VSS	VSS	G		Заземление ядра
1174	AL16	VSS	VSS	G		Заземление ядра
1175	AL17	VSS	VSS	G		Заземление ядра
1176	AL21	VSS	VSS	G		Заземление ядра
1177	AL24	VSS	VSS	G		Заземление ядра
1178	AL26	VSS	VSS	G		Заземление ядра
1179	AL28	VSS	VSS	G		Заземление ядра
1180	AL30	VSS	VSS	G		Заземление ядра
1181	AL7	VSS	VSS	G		Заземление ядра
1182	AM11	VSS	VSS	G		Заземление ядра
1183	AM14	VSS	VSS	G		Заземление ядра
1184	AM2	VSS	VSS	G		Заземление ядра
1185	AM29	VSS	VSS	G		Заземление ядра
1186	AM3	VSS	VSS	G		Заземление ядра
1187	AM33	VSS	VSS	G		Заземление ядра
1188	AM39	VSS	VSS	G		Заземление ядра
1189	AM5	VSS	VSS	G		Заземление ядра
1190	AN1	VSS	VSS	G		Заземление ядра
1191	AN12	VSS	VSS	G		Заземление ядра
1192	AN15	VSS	VSS	G		Заземление ядра
1193	AN16	VSS	VSS	G		Заземление ядра
1194	AN18	VSS	VSS	G		Заземление ядра
1195	AN23	VSS	VSS	G		Заземление ядра
1196	AN25	VSS	VSS	G		Заземление ядра
1197	AN27	VSS	VSS	G		Заземление ядра
1198	AN33	VSS	VSS	G		Заземление ядра
1199	AN36	VSS	VSS	G		Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1200	AN4	VSS	VSS	G		Заземление ядра
1201	AN6	VSS	VSS	G		Заземление ядра
1202	AN9	VSS	VSS	G		Заземление ядра
1203	AP15	VSS	VSS	G		Заземление ядра
1204	AP20	VSS	VSS	G		Заземление ядра
1205	AP26	VSS	VSS	G		Заземление ядра
1206	AP28	VSS	VSS	G		Заземление ядра
1207	AR10	VSS	VSS	G		Заземление ядра
1208	AR13	VSS	VSS	G		Заземление ядра
1209	AR14	VSS	VSS	G		Заземление ядра
1210	AR17	VSS	VSS	G		Заземление ядра
1211	AR18	VSS	VSS	G		Заземление ядра
1212	AR2	VSS	VSS	G		Заземление ядра
1213	AR20	VSS	VSS	G		Заземление ядра
1214	AR21	VSS	VSS	G		Заземление ядра
1215	AR23	VSS	VSS	G		Заземление ядра
1216	AR3	VSS	VSS	G		Заземление ядра
1217	AR31	VSS	VSS	G		Заземление ядра
1218	AR33	VSS	VSS	G		Заземление ядра
1219	AR5	VSS	VSS	G		Заземление ядра
1220	AT1	VSS	VSS	G		Заземление ядра
1221	AT12	VSS	VSS	G		Заземление ядра
1222	AT15	VSS	VSS	G		Заземление ядра
1223	AT20	VSS	VSS	G		Заземление ядра
1224	AT23	VSS	VSS	G		Заземление ядра
1225	AT25	VSS	VSS	G		Заземление ядра
1226	AT27	VSS	VSS	G		Заземление ядра
1227	AT28	VSS	VSS	G		Заземление ядра
1228	AT33	VSS	VSS	G		Заземление ядра
1229	AT35	VSS	VSS	G		Заземление ядра
1230	AT37	VSS	VSS	G		Заземление ядра
1231	AT39	VSS	VSS	G		Заземление ядра
1232	AT4	VSS	VSS	G		Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1233	AT7	VSS	VSS	G		Заземление ядра
1234	AT9	VSS	VSS	G		Заземление ядра
1235	AU11	VSS	VSS	G		Заземление ядра
1236	AU14	VSS	VSS	G		Заземление ядра
1237	AU17	VSS	VSS	G		Заземление ядра
1238	AU18	VSS	VSS	G		Заземление ядра
1239	AU20	VSS	VSS	G		Заземление ядра
1240	AU22	VSS	VSS	G		Заземление ядра
1241	AU3	VSS	VSS	G		Заземление ядра
1242	AU6	VSS	VSS	G		Заземление ядра
1243	AU7	VSS	VSS	G		Заземление ядра
1244	AV1	VSS	VSS	G		Заземление ядра
1245	AV12	VSS	VSS	G		Заземление ядра
1246	AV15	VSS	VSS	G		Заземление ядра
1247	AV16	VSS	VSS	G		Заземление ядра
1248	AV19	VSS	VSS	G		Заземление ядра
1249	AV20	VSS	VSS	G		Заземление ядра
1250	AV31	VSS	VSS	G		Заземление ядра
1251	AV4	VSS	VSS	G		Заземление ядра
1252	AV9	VSS	VSS	G		Заземление ядра
1253	AW11	VSS	VSS	G		Заземление ядра
1254	AW14	VSS	VSS	G		Заземление ядра
1255	AW17	VSS	VSS	G		Заземление ядра
1256	AW20	VSS	VSS	G		Заземление ядра
1257	AW26	VSS	VSS	G		Заземление ядра
1258	AW29	VSS	VSS	G		Заземление ядра
1259	AW3	VSS	VSS	G		Заземление ядра
1260	AW35	VSS	VSS	G		Заземление ядра
1261	AW38	VSS	VSS	G		Заземление ядра
1262	AW6	VSS	VSS	G		Заземление ядра
1263	AW8	VSS	VSS	G		Заземление ядра
1264	B34	VSS	VSS	G		Заземление ядра
1265	B38	VSS	VSS	G		Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1266	C11	VSS	VSS	G		Заземление ядра
1267	C13	VSS	VSS	G		Заземление ядра
1268	C15	VSS	VSS	G		Заземление ядра
1269	C17	VSS	VSS	G		Заземление ядра
1270	C19	VSS	VSS	G		Заземление ядра
1271	C23	VSS	VSS	G		Заземление ядра
1272	C25	VSS	VSS	G		Заземление ядра
1273	C27	VSS	VSS	G		Заземление ядра
1274	C29	VSS	VSS	G		Заземление ядра
1275	C31	VSS	VSS	G		Заземление ядра
1276	C36	VSS	VSS	G		Заземление ядра
1277	C9	VSS	VSS	G		Заземление ядра
1278	D12	VSS	VSS	G		Заземление ядра
1279	D14	VSS	VSS	G		Заземление ядра
1280	D16	VSS	VSS	G		Заземление ядра
1281	D18	VSS	VSS	G		Заземление ядра
1282	D22	VSS	VSS	G		Заземление ядра
1283	D27	VSS	VSS	G		Заземление ядра
1284	D28	VSS	VSS	G		Заземление ядра
1285	D30	VSS	VSS	G		Заземление ядра
1286	D38	VSS	VSS	G		Заземление ядра
1287	D8	VSS	VSS	G		Заземление ядра
1288	E20	VSS	VSS	G		Заземление ядра
1289	E21	VSS	VSS	G		Заземление ядра
1290	E24	VSS	VSS	G		Заземление ядра
1291	E29	VSS	VSS	G		Заземление ядра
1292	E32	VSS	VSS	G		Заземление ядра
1293	E36	VSS	VSS	G		Заземление ядра
1294	F15	VSS	VSS	G		Заземление ядра
1295	F17	VSS	VSS	G		Заземление ядра
1296	F23	VSS	VSS	G		Заземление ядра
1297	F26	VSS	VSS	G		Заземление ядра
1298	F31	VSS	VSS	G		Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1299	F34	VSS	VSS	G		Заземление ядра
1300	F38	VSS	VSS	G		Заземление ядра
1301	F4	VSS	VSS	G		Заземление ядра
1302	F5	VSS	VSS	G		Заземление ядра
1303	F6	VSS	VSS	G		Заземление ядра
1304	F7	VSS	VSS	G		Заземление ядра
1305	F8	VSS	VSS	G		Заземление ядра
1306	G14	VSS	VSS	G		Заземление ядра
1307	G16	VSS	VSS	G		Заземление ядра
1308	G18	VSS	VSS	G		Заземление ядра
1309	G22	VSS	VSS	G		Заземление ядра
1310	G3	VSS	VSS	G		Заземление ядра
1311	G30	VSS	VSS	G		Заземление ядра
1312	G34	VSS	VSS	G		Заземление ядра
1313	H21	VSS	VSS	G		Заземление ядра
1314	H27	VSS	VSS	G		Заземление ядра
1315	H31	VSS	VSS	G		Заземление ядра
1316	H4	VSS	VSS	G		Заземление ядра
1317	H7	VSS	VSS	G		Заземление ядра
1318	H8	VSS	VSS	G		Заземление ядра
1319	J1	VSS	VSS	G		Заземление ядра
1320	J2	VSS	VSS	G		Заземление ядра
1321	J25	VSS	VSS	G		Заземление ядра
1322	J28	VSS	VSS	G		Заземление ядра
1323	J29	VSS	VSS	G		Заземление ядра
1324	J30	VSS	VSS	G		Заземление ядра
1325	J31	VSS	VSS	G		Заземление ядра
1326	J32	VSS	VSS	G		Заземление ядра
1327	K29	VSS	VSS	G		Заземление ядра
1328	K33	VSS	VSS	G		Заземление ядра
1329	K37	VSS	VSS	G		Заземление ядра
1330	K4	VSS	VSS	G		Заземление ядра
1331	K5	VSS	VSS	G		Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1332	K6	VSS	VSS	G		Заземление ядра
1333	L20	VSS	VSS	G		Заземление ядра
1334	L21	VSS	VSS	G		Заземление ядра
1335	L22	VSS	VSS	G		Заземление ядра
1336	L25	VSS	VSS	G		Заземление ядра
1337	L26	VSS	VSS	G		Заземление ядра
1338	L27	VSS	VSS	G		Заземление ядра
1339	L28	VSS	VSS	G		Заземление ядра
1340	L29	VSS	VSS	G		Заземление ядра
1341	L3	VSS	VSS	G		Заземление ядра
1342	L35	VSS	VSS	G		Заземление ядра
1343	L39	VSS	VSS	G		Заземление ядра
1344	M10	VSS	VSS	G		Заземление ядра
1345	M14	VSS	VSS	G		Заземление ядра
1346	M15	VSS	VSS	G		Заземление ядра
1347	M18	VSS	VSS	G		Заземление ядра
1348	M24	VSS	VSS	G		Заземление ядра
1349	M36	VSS	VSS	G		Заземление ядра
1350	M4	VSS	VSS	G		Заземление ядра
1351	M7	VSS	VSS	G		Заземление ядра
1352	N1	VSS	VSS	G		Заземление ядра
1353	N11	VSS	VSS	G		Заземление ядра
1354	N2	VSS	VSS	G		Заземление ядра
1355	N28	VSS	VSS	G		Заземление ядра
1356	N35	VSS	VSS	G		Заземление ядра
1357	N9	VSS	VSS	G		Заземление ядра
1358	P12	VSS	VSS	G		Заземление ядра
1359	P25	VSS	VSS	G		Заземление ядра
1360	P26	VSS	VSS	G		Заземление ядра
1361	P27	VSS	VSS	G		Заземление ядра
1362	P28	VSS	VSS	G		Заземление ядра
1363	P29	VSS	VSS	G		Заземление ядра
1364	P30	VSS	VSS	G		Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1365	P35	VSS	VSS	G		Заземление ядра
1366	P39	VSS	VSS	G		Заземление ядра
1367	P4	VSS	VSS	G		Заземление ядра
1368	P5	VSS	VSS	G		Заземление ядра
1369	P7	VSS	VSS	G		Заземление ядра
1370	R10	VSS	VSS	G		Заземление ядра
1371	R13	VSS	VSS	G		Заземление ядра
1372	R17	VSS	VSS	G		Заземление ядра
1373	R23	VSS	VSS	G		Заземление ядра
1374	R24	VSS	VSS	G		Заземление ядра
1375	R25	VSS	VSS	G		Заземление ядра
1376	R26	VSS	VSS	G		Заземление ядра
1377	R27	VSS	VSS	G		Заземление ядра
1378	R37	VSS	VSS	G		Заземление ядра
1379	R4	VSS	VSS	G		Заземление ядра
1380	T11	VSS	VSS	G		Заземление ядра
1381	T31	VSS	VSS	G		Заземление ядра
1382	T36	VSS	VSS	G		Заземление ядра
1383	T39	VSS	VSS	G		Заземление ядра
1384	T8	VSS	VSS	G		Заземление ядра
1385	U14	VSS	VSS	G		Заземление ядра
1386	U15	VSS	VSS	G		Заземление ядра
1387	U16	VSS	VSS	G		Заземление ядра
1388	U17	VSS	VSS	G		Заземление ядра
1389	U18	VSS	VSS	G		Заземление ядра
1390	U19	VSS	VSS	G		Заземление ядра
1391	U20	VSS	VSS	G		Заземление ядра
1392	U21	VSS	VSS	G		Заземление ядра
1393	U22	VSS	VSS	G		Заземление ядра
1394	U23	VSS	VSS	G		Заземление ядра
1395	U24	VSS	VSS	G		Заземление ядра
1396	U25	VSS	VSS	G		Заземление ядра
1397	U26	VSS	VSS	G		Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1398	U27	VSS	VSS	G		Заземление ядра
1399	U3	VSS	VSS	G		Заземление ядра
1400	U32	VSS	VSS	G		Заземление ядра
1401	U33	VSS	VSS	G		Заземление ядра
1402	U34	VSS	VSS	G		Заземление ядра
1403	U37	VSS	VSS	G		Заземление ядра
1404	U4	VSS	VSS	G		Заземление ядра
1405	U6	VSS	VSS	G		Заземление ядра
1406	V36	VSS	PCIe x4 0	G		Заземление PCIe
1407	V39	VSS	PCIe x4 0	G		Заземление PCIe
1408	W1	VSS	PCIe x4 0	G		Заземление PCIe
1409	W11	VSS	PCIe x4 1	G		Заземление PCIe
1410	W13	VSS	PCIe x4 1	G		Заземление PCIe
1411	W14	VSS	PCIe x4 1	G		Заземление PCIe
1412	W15	VSS	PCIe x8	G		Заземление PCIe
1413	W16	VSS	PCIe x8	G		Заземление PCIe
1414	W17	VSS	PCIe x8	G		Заземление PCIe
1415	W18	VSS	PCIe x8	G		Заземление PCIe
1416	W19	VSS	PCIe x8	G		Заземление PCIe
1417	W2	VSS	PCIe x8	G		Заземление PCIe
1418	W20	VSS	SATA	G		Заземление SATA (заземление PHY)
1419	W21	VSS	USB2 0	G		Заземление USB 2.0
1420	W22	VSS	USB2 0	G		Заземление USB 2.0
1421	W23	VSS	USB2 1	G		Заземление USB 2.0
1422	W24	VSS	USB2 2	G		Заземление USB 2.0
1423	W25	VSS	USB2 3	G		Заземление USB 2.0
1424	W26	VSS	USB3 0	G		Заземление USB 3.0
1425	W27	VSS	USB3 1	G		Заземление USB 3.0
1426	W3	VSS	USB3 0	G		Заземление USB 3.0
1427	W33	VSS	USB3 1	G		Заземление USB 3.0
1428	W34	VSS	XGBE 0	G		Заземление XGbE
1429	W37	VSS	XGBE 0	G		Заземление XGbE

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1430	W7	VSS	XGBE 0	G		Заземление XGbE
1431	Y36	VSS	XGBE 1	G		Заземление XGbE
1432	Y39	VSS	XGBE 1	G		Заземление XGbE
1433	Y9	VSS	XGBE 1	G		Заземление XGbE
1434	M28	VSS_PVT	PVT VSS	G		Заземление датчика PVT
1435	A4	VSSIO	VSSIO	G		Заземление группы IO
1436	AA28	VSSIO	VSSIO	G		Заземление группы IO
1437	AA29	VSSIO	VSSIO	G		Заземление группы IO
1438	AA30	VSSIO	VSSIO	G		Заземление группы IO
1439	AA31	VSSIO	VSSIO	G		Заземление группы IO
1440	AC15	VSSIO	VSSIO	G		Заземление группы IO
1441	AC28	VSSIO	VSSIO	G		Заземление группы IO
1442	AC29	VSSIO	VSSIO	G		Заземление группы IO
1443	AC30	VSSIO	VSSIO	G		Заземление группы IO
1444	AC31	VSSIO	VSSIO	G		Заземление группы IO
1445	AD10	VSSIO	VSSIO	G		Заземление группы IO
1446	AD12	VSSIO	VSSIO	G		Заземление группы IO
1447	AE7	VSSIO	VSSIO	G		Заземление группы IO
1448	AF8	VSSIO	VSSIO	G		Заземление группы IO
1449	AG9	VSSIO	VSSIO	G		Заземление группы IO
1450	B4	VSSIO	VSSIO	G		Заземление группы IO
1451	D1	VSSIO	VSSIO	G		Заземление группы IO
1452	D3	VSSIO	VSSIO	G		Заземление группы IO
1453	H35	VSSIO	VSSIO	G		Заземление группы IO
1454	J33	VSSIO	VSSIO	G		Заземление группы IO
1455	J37	VSSIO	VSSIO	G		Заземление группы IO
1456	L30	VSSIO	VSSIO	G		Заземление группы IO
1457	M32	VSSIO	VSSIO	G		Заземление группы IO
1458	N29	VSSIO	VSSIO	G		Заземление группы IO

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1459	P15	VSSIO	VSSIO	G		Заземление группы IO
1460	P31	VSSIO	VSSIO	G		Заземление группы IO
1461	R18	VSSIO	VSSIO	G		Заземление группы IO
1462	R19	VSSIO	VSSIO	G		Заземление группы IO
1463	R20	VSSIO	VSSIO	G		Заземление группы IO
1464	R21	VSSIO	VSSIO	G		Заземление группы IO
1465	R32	VSSIO	VSSIO	G		Заземление группы IO
1466	U28	VSSIO	VSSIO	G		Заземление группы IO
1467	U29	VSSIO	VSSIO	G		Заземление группы IO
1468	U30	VSSIO	VSSIO	G		Заземление группы IO
1469	U31	VSSIO	VSSIO	G		Заземление группы IO
1470	W28	VSSIO	VSSIO	G		Заземление группы IO
1471	W29	VSSIO	VSSIO	G		Заземление группы IO
1472	W30	VSSIO	VSSIO	G		Заземление группы IO
1473	P17	VSSPLL_0	PLL GROUND	G		Заземление PLL
1474	W32	VSSPLL_1	PLL GROUND	G		Заземление PLL
1475	AF33	VSSPLL_2	PLL GROUND	G		Заземление PLL
1476	AP18	VSSPLL_3	PLL GROUND	G		Заземление PLL
1477	K14	VSSPLL_HDMI	PLL GROUND	G		Заземление HDMI PLL
1478	H14	XG0_AMON	XGBE 0	O	VDD_XG0_15	Диагностический вывод PHY
1479	G13	XG0_DMON	XGBE 0	O	VDD_XG0_09	Диагностический вывод PHY
1480	H13	XG0_DMONB	XGBE 0	O	VDD_XG0_09	Диагностический вывод PHY
1481	H15	XG0_RBIAS	XGBE 0	IO	VDD_XG0_15	Подключение опорного резистора
1482	H12	XG0_REF_CLKN	XGBE 0	I	VDD_XG0_15	Опорные тактовые импульсы (дифференциальная пара)
1483	G12	XG0_REF_CLKP	XGBE 0	I	VDD_XG0_15	Опорные тактовые импульсы (дифференциальная пара)
1484	A11	XG0_RXN[0]	XGBE 0	I	VDD_XG0_15	Данные, принимаемые по дифференциальной паре 0

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1485	B12	XG0_RXN[1]	XGBE 0	I	VDD_XG0_15	Данные, принимаемые по дифференциальной паре 1
1486	A13	XG0_RXN[2]	XGBE 0	I	VDD_XG0_15	Данные, принимаемые по дифференциальной паре 2
1487	B14	XG0_RXN[3]	XGBE 0	I	VDD_XG0_15	Данные, принимаемые по дифференциальной паре 3
1488	B11	XG0_RXP[0]	XGBE 0	I	VDD_XG0_15	Данные, принимаемые по дифференциальной паре 0
1489	C12	XG0_RXP[1]	XGBE 0	I	VDD_XG0_15	Данные, принимаемые по дифференциальной паре 1
1490	B13	XG0_RXP[2]	XGBE 0	I	VDD_XG0_15	Данные, принимаемые по дифференциальной паре 2
1491	C14	XG0_RXP[3]	XGBE 0	I	VDD_XG0_15	Данные, принимаемые по дифференциальной паре 3
1492	D11	XG0_TXN[0]	XGBE 0	O	VDD_XG0_15	Данные, передаваемые по дифференциальной паре 0
1493	E12	XG0_TXN[1]	XGBE 0	O	VDD_XG0_15	Данные, передаваемые по дифференциальной паре 1
1494	D13	XG0_TXN[2]	XGBE 0	O	VDD_XG0_15	Данные, передаваемые по дифференциальной паре 2
1495	E14	XG0_TXN[3]	XGBE 0	O	VDD_XG0_15	Данные, передаваемые по дифференциальной паре 3
1496	E11	XG0_TXP[0]	XGBE 0	O	VDD_XG0_15	Данные, передаваемые по дифференциальной паре 0
1497	F12	XG0_TXP[1]	XGBE 0	O	VDD_XG0_15	Данные, передаваемые по дифференциальной паре 1
1498	E13	XG0_TXP[2]	XGBE 0	O	VDD_XG0_15	Данные, передаваемые по дифференциальной паре 2
1499	F14	XG0_TXP[3]	XGBE 0	O	VDD_XG0_15	Данные, передаваемые по дифференциальной паре 3
1500	H18	XG1_AMON	XGBE 1	O	VDD_XG1_15	Диагностический вывод РНУ
1501	G17	XG1_DMON	XGBE 1	O	VDD_XG1_09	Диагностический вывод РНУ
1502	H17	XG1_DMONB	XGBE 1	O	VDD_XG1_09	Диагностический вывод РНУ
1503	G15	XG1_RBIAS	XGBE 1	IO	VDD_XG1_15	Подключение опорного резистора
1504	J16	XG1_REF_CLKN	XGBE 1	I	VDD_XG1_15	Опорные тактовые импульсы (дифференциальная пара)

Таблица 5-1 Список выводов (продолжение)

№	Обозначение	Имя контакта	Группа	Тип	Питание	Описание
1505	H16	XG1_REF_CLKP	XGBE 1	I	VDD_XG1_15	Опорные тактовые импульсы (дифференциальная пара)
1506	B18	XG1_RXN[0]	XGBE 1	I	VDD_XG1_15	Данные, принимаемые по дифференциальной паре 0
1507	A17	XG1_RXN[1]	XGBE 1	I	VDD_XG1_15	Данные, принимаемые по дифференциальной паре 1
1508	B16	XG1_RXN[2]	XGBE 1	I	VDD_XG1_15	Данные, принимаемые по дифференциальной паре 2
1509	A15	XG1_RXN[3]	XGBE 1	I	VDD_XG1_15	Данные, принимаемые по дифференциальной паре 3
1510	C18	XG1_RXP[0]	XGBE 1	I	VDD_XG1_15	Данные, принимаемые по дифференциальной паре 0
1511	B17	XG1_RXP[1]	XGBE 1	I	VDD_XG1_15	Данные, принимаемые по дифференциальной паре 1
1512	C16	XG1_RXP[2]	XGBE 1	I	VDD_XG1_15	Данные, принимаемые по дифференциальной паре 2
1513	B15	XG1_RXP[3]	XGBE 1	I	VDD_XG1_15	Данные, принимаемые по дифференциальной паре 3
1514	E18	XG1_TXN[0]	XGBE 1	O	VDD_XG1_15	Данные, передаваемые по дифференциальной паре 0
1515	D17	XG1_TXN[1]	XGBE 1	O	VDD_XG1_15	Данные, передаваемые по дифференциальной паре 1
1516	E16	XG1_TXN[2]	XGBE 1	O	VDD_XG1_15	Данные, передаваемые по дифференциальной паре 2
1517	D15	XG1_TXN[3]	XGBE 1	O	VDD_XG1_15	Данные, передаваемые по дифференциальной паре 3
1518	F18	XG1_TXP[0]	XGBE 1	O	VDD_XG1_15	Данные, передаваемые по дифференциальной паре 0
1519	E17	XG1_TXP[1]	XGBE 1	O	VDD_XG1_15	Данные, передаваемые по дифференциальной паре 1
1520	F16	XG1_TXP[2]	XGBE 1	O	VDD_XG1_15	Данные, передаваемые по дифференциальной паре 2
1521	E15	XG1_TXP[3]	XGBE 1	O	VDD_XG1_15	Данные, передаваемые по дифференциальной паре 3

5.2 Карта контактов корпуса

На рисунках, приведённых в данном разделе, расположение контактов соответствует виду со стороны верхней части корпуса.

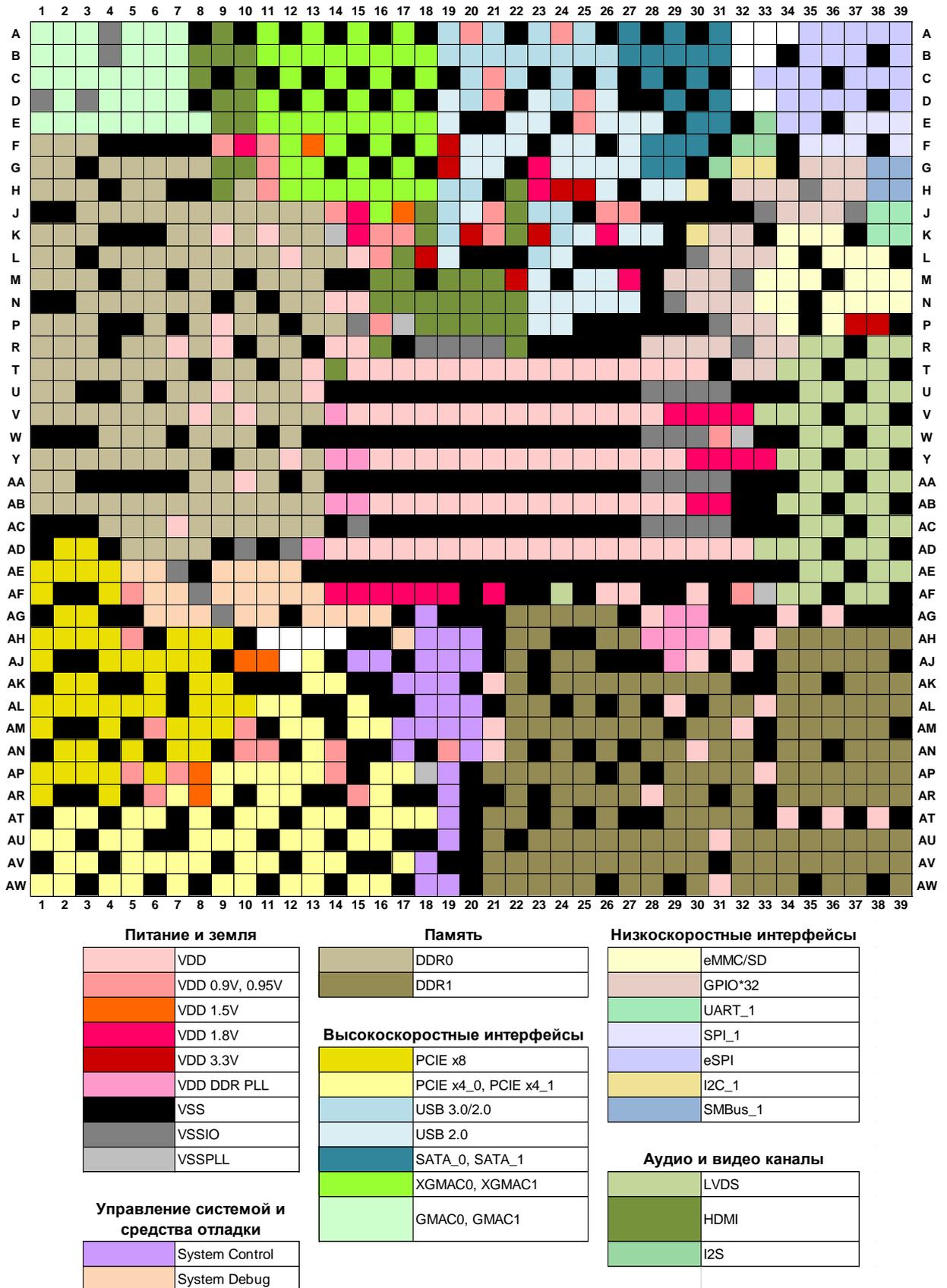
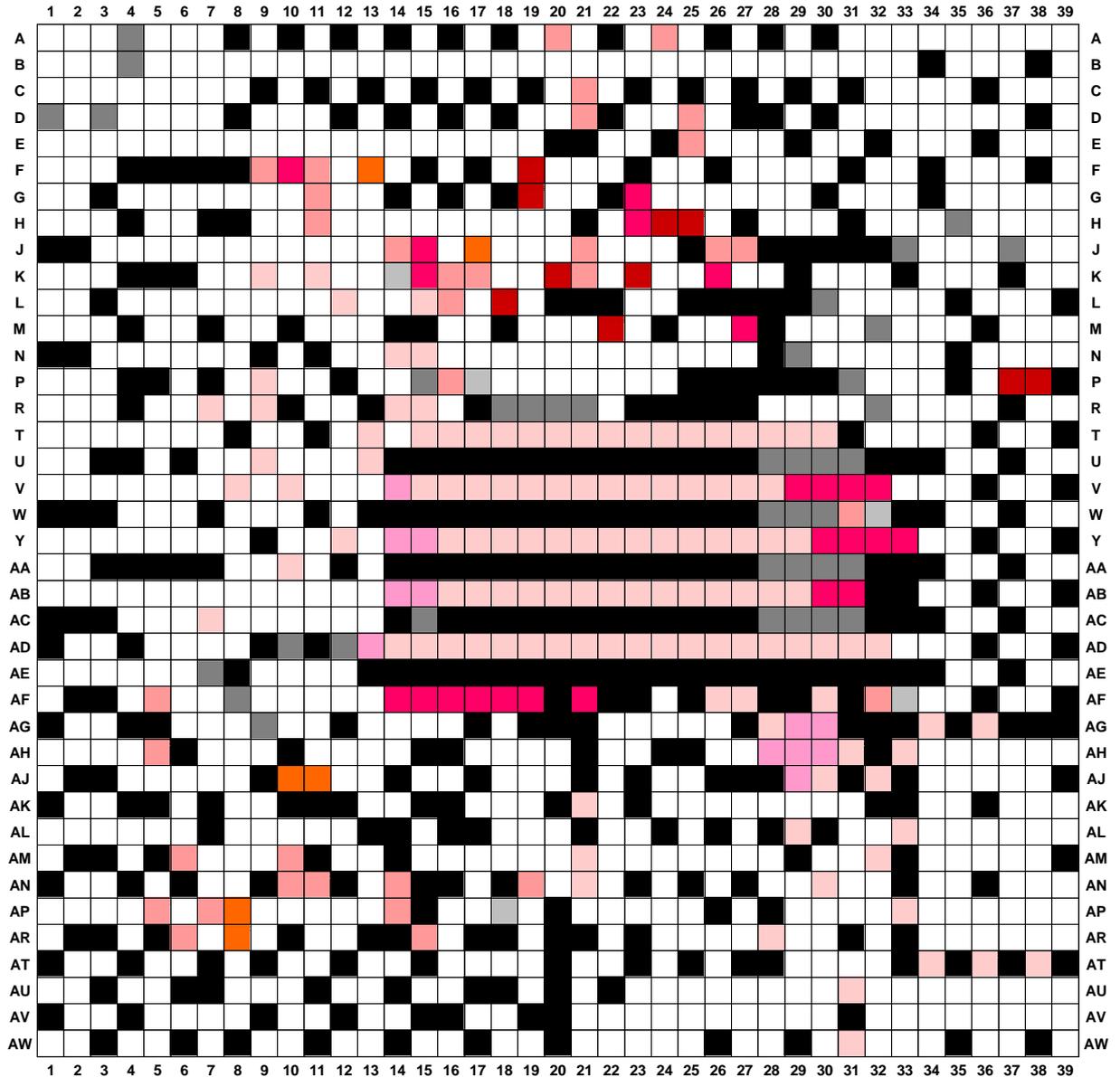


Рис. 5-1 Карта контактов

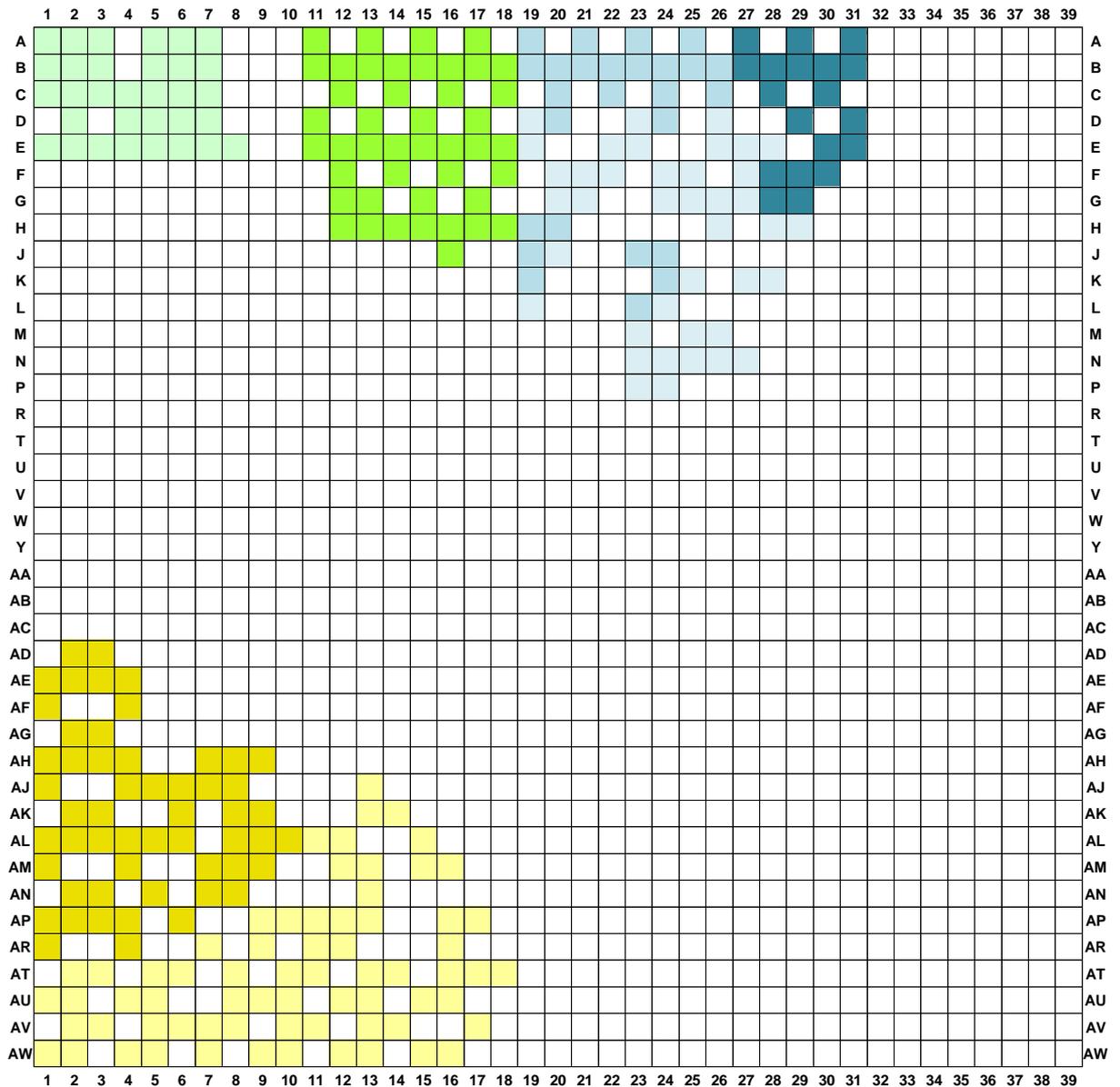
5.2.1 Питание и земля



	VDD
	VDD 0.9V, 0.95V
	VDD 1.5V
	VDD 1.8V
	VDD 3.3V
	VDD DDR PLL
	VSS
	VSSIO
	VSSPLL

Рис. 5-2 Размещение контактов питания и земли

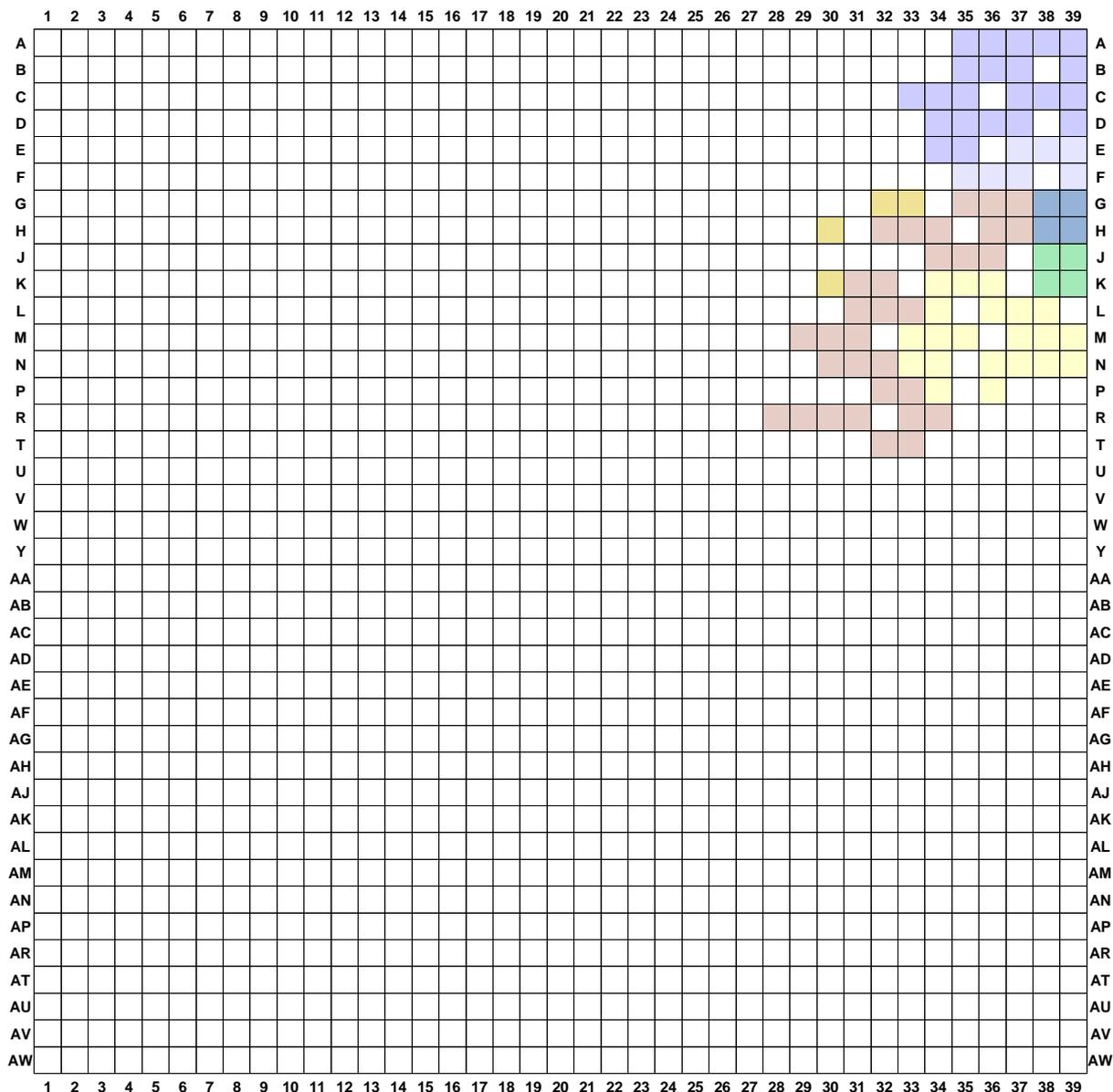
5.2.2 Высокоскоростные интерфейсы



	PCIЕ x8
	PCIЕ x4_0, PCIЕ x4_1
	USB 3.0/2.0
	USB 2.0
	SATA_0, SATA_1
	XGMAC0, XGMAC1
	GMAC0, GMAC1

Рис. 5-3 Размещение контактов высокоскоростных каналов

5.2.3 Низкоскоростные интерфейсы



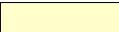
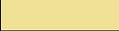
	eMMC/SD
	GPIO*32
	UART_1, UART_2
	SPI
	eSPI
	I2C_1, I2C_2
	SMBus_1, SMBus_2

Рис. 5-4 Размещение контактов низкоскоростных интерфейсов

5.2.4 Выводы памяти

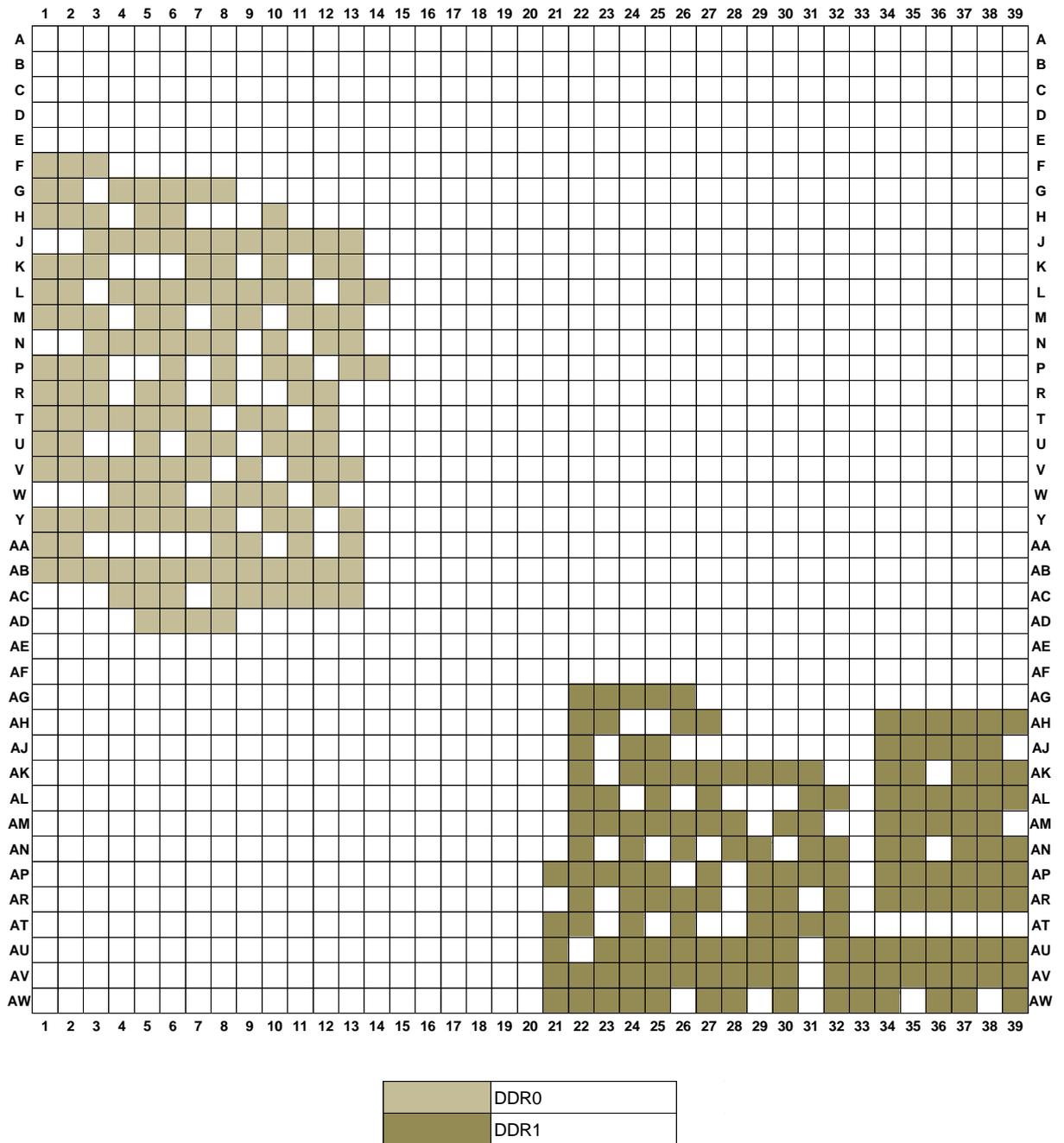


Рис. 5-5 Размещение контактов памяти

5.2.5 Аудио и видео каналы

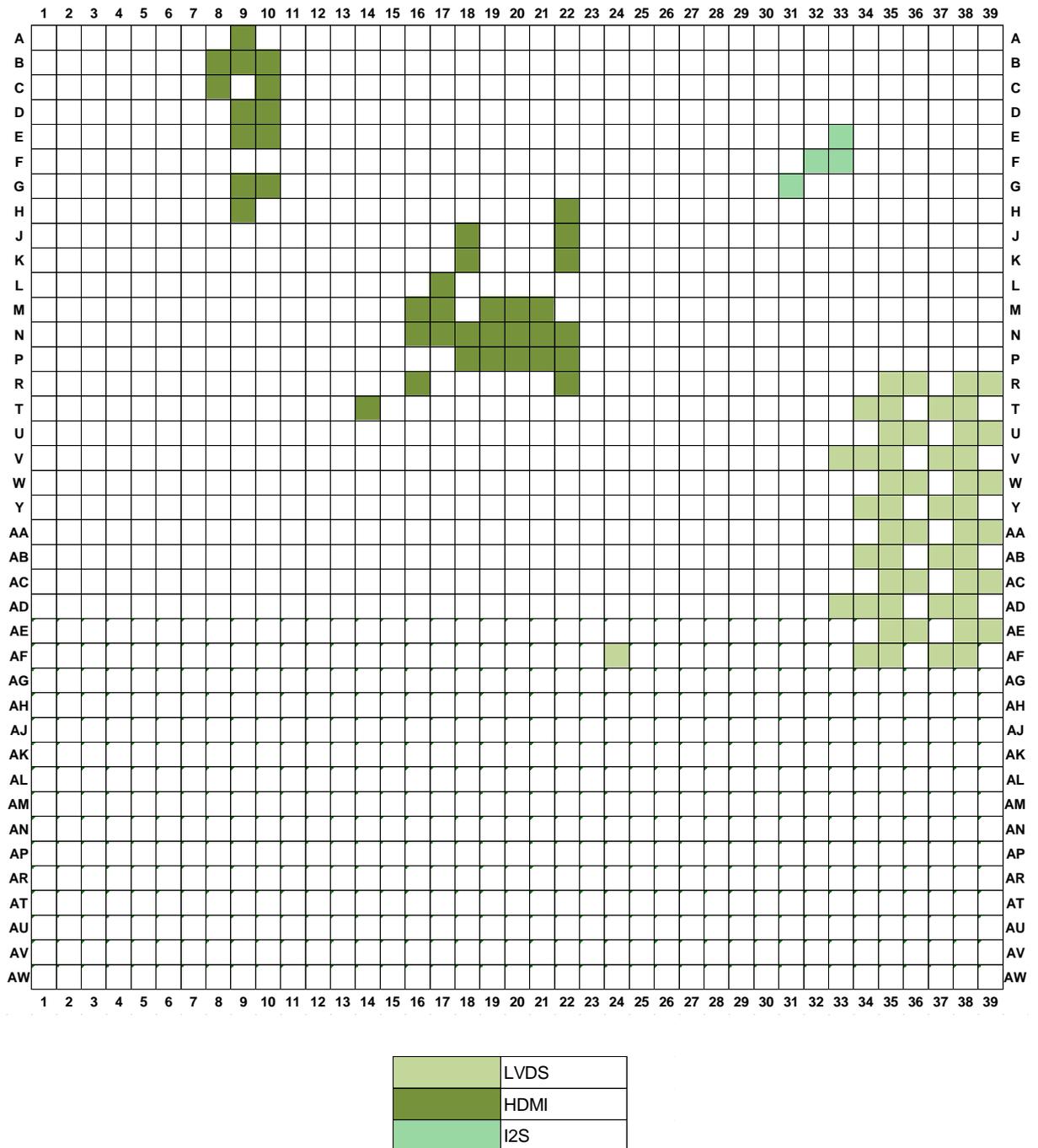


Рис. 5-6 Размещение контактов аудио и видео каналов

5.2.6 Управление системой и средства отладки

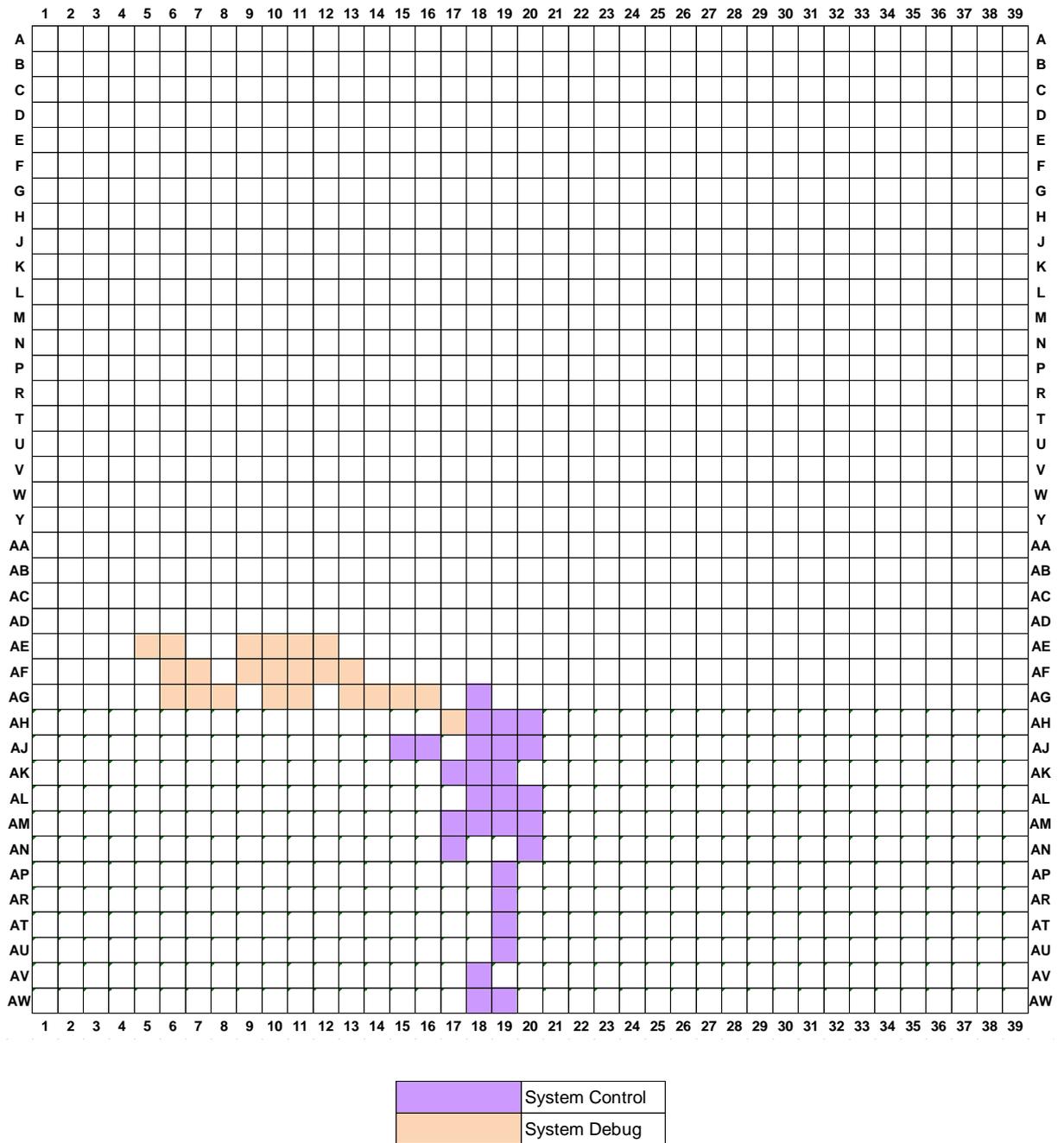


Рис. 5-7 Размещение контактов управления системой и средств отладки

6 Корпус микропроцессора

6.1 Корпус FCBGA-1521

СНК поставляется в корпусе FCBGA-1521. Основные параметры корпуса показаны на следующих рисунках и в таблице.

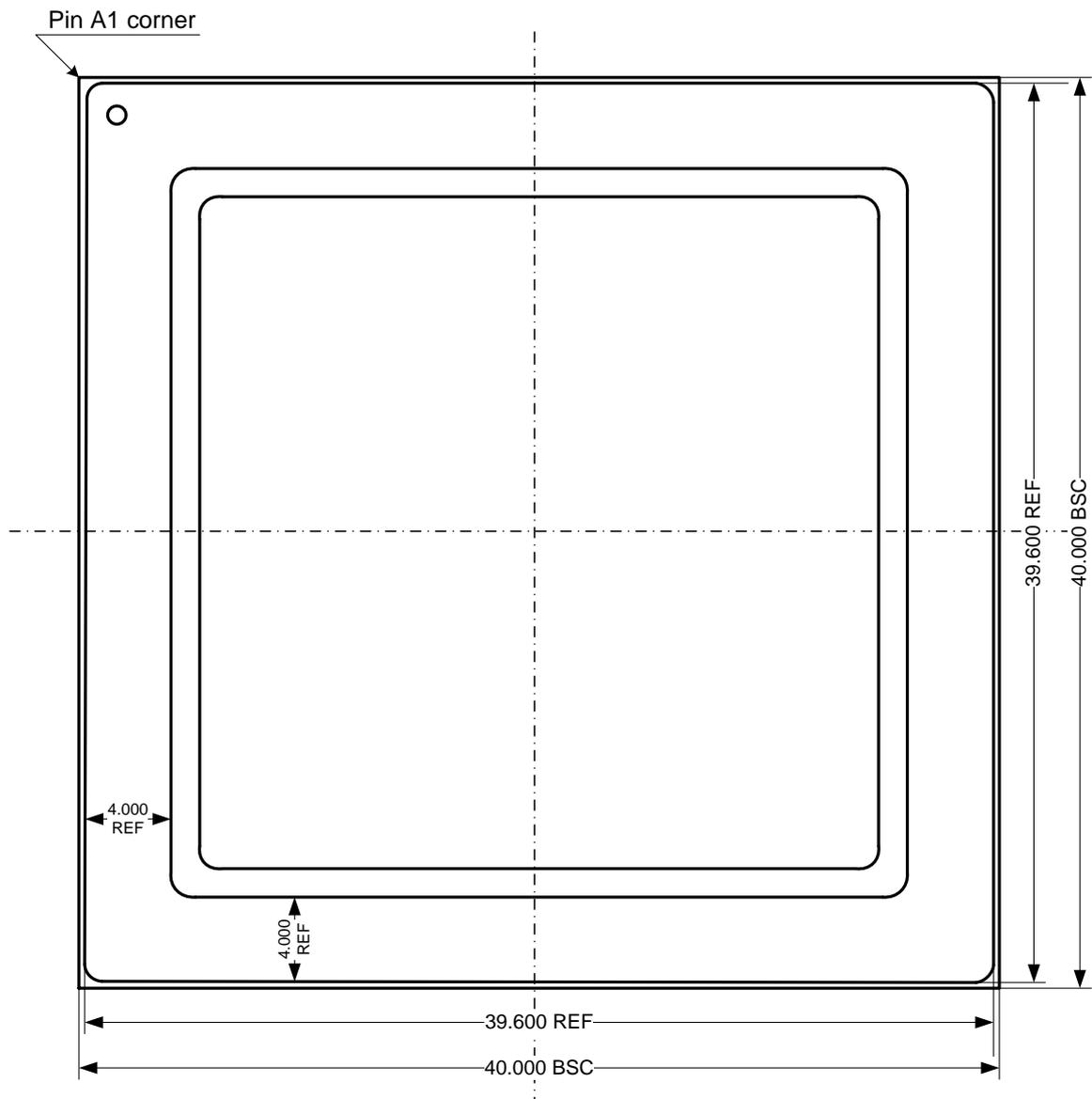


Рис. 6-1 Корпус микросхемы. Вид сверху

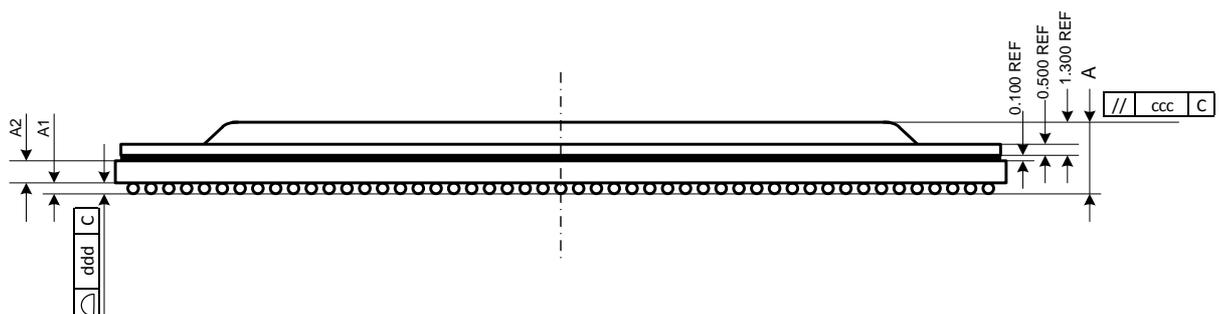


Рис. 6-2 Корпус микросхемы. Вид сбоку

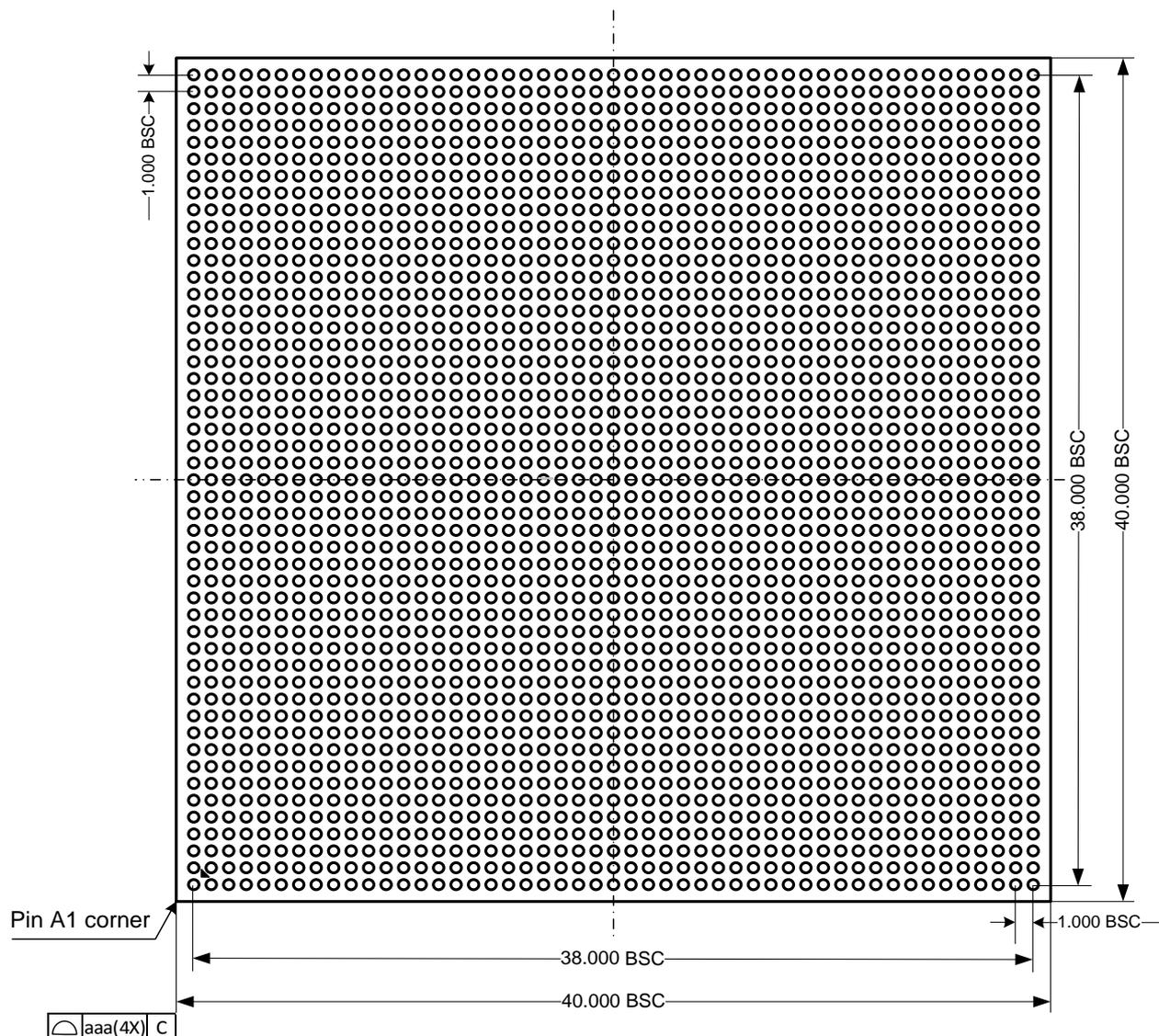


Рис. 6-3 Корпус микросхемы. Вид снизу

В следующей таблице приведены основные параметры корпуса.

Таблица 6-1 Параметры корпуса

Размер	Обозначение	Значение		
		Мин.	Ном.	Макс.
Общая толщина	A	2.676	2.976	3.176
Высота шариков припоя	A1	0.400	-	0.600
Толщина подложки	A2	1.026 для спр.		
Габаритный размер корпуса		40.000		
		40.000		
Диаметр шариков припоя		0.600		
Шаг размещения выводов		1.000		
Число выводов		39 x 39 = 1521		

Таблица 6-1 Параметры корпуса (продолжение)

Размер	Обозначение	Значение
Расстояние между центрами крайних выводов		38.000
Допуск размера по ребру корпуса	aaa	0.200
Допуск параллельности крышки корпуса	ccc	0.350
Допуск отклонения от плоскости нижней части выводов	ddd	0.200

6.2 Пайка микросхемы на плату

Микросхема монтируется на печатную плату в соответствии с профилем пайки, рекомендованным для корпусов с контактами из безсвинцового припоя. Соответствующие температуры и режимы показаны на следующем рисунке и в таблице.

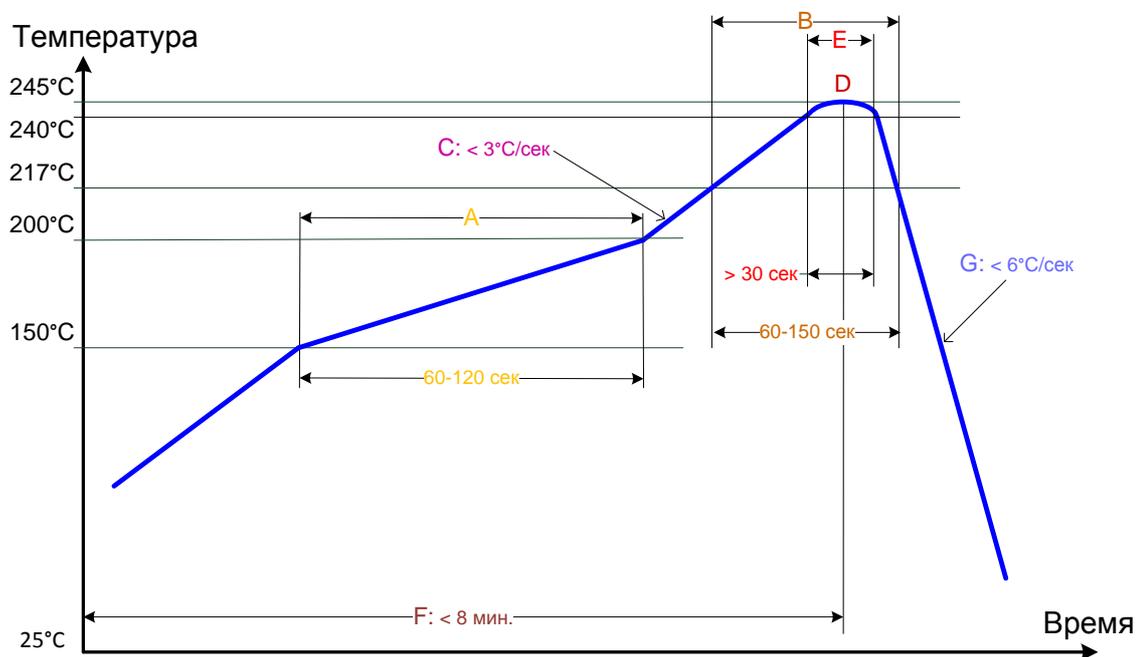


Рис. 6-4 Температурный профиль пайки

Таблица 6-2 Режимы стадий процесса пайки

Стадия процесса		Температура	Длительность
A	Предварительный нагрев	150-200°C	60-120 сек.
B	Стадия плавления	>217°C	60-150 сек.
C	Скорость нагревания	Не более 3°C/сек.	
D	Пиковая температура	245°C	
E	Стадия пайки	>240°C	Не менее 30 сек.
F	Время нагревания от комнатной до пиковой температуры		Не более 8 мин.
G	Скорость охлаждения	Не более 6°C/сек.	

Все температуры относятся к поверхности теплоотводящей крышки корпуса.

7 Информация для заказа

BE-M1000 – это действующее обозначение изделия. Назначение каждого из полей указано в таблице.

Таблица 7-1 Информация для заказа

BE	-	M	1	0	0	0
Baikal Electronics	Разделитель	Серия	Поколение	Модификация	Резерв	Исполнение

BE-M1000 является первым продуктом в продуктовой линейке BE-M.

Для заказа BE-M1000 обращайтесь в компанию Baikal Electronics. Контактная информация указана на следующей странице.

Контактная информация

Байкал Электроникс: <https://www.baikalelectronics.com/>

Офис: <https://www.baikalelectronics.com/contacts/>

Эл. почта: info@baikalelectronics.ru

Тел.: [+7 495 221-39-47](tel:+74952213947)

История изменений

Версия	Дата	Основные изменения
0.65	02.07.2019	Начальная версия
0.70	01.11.2019	В разделе 4 Порядок включения/выключения микропроцессора откорректирован порядок подачи питания. Также раздел дополнен информацией о последовательности подключения питания
0.73	25.12.2019	В раздел 4 Порядок включения/выключения микропроцессора добавлена информация о порядке выключения микропроцессора. В разделе 5 Описание внешних выводов откорректирована информация о выводах AM19 и AL18. Изменены маркировки следующих выводов: DDR0_DQ[18], DDR0_DQ[19], DDR0_DQ[20], DDR0_DQ[21], DDR0_DQ[26], DDR0_DQ[27], DDR0_DQ[28], DDR0_DQ[29], DDR0_DQ[41], DDR0_DQ[44], DDR0_DQ[48], DDR0_DQ[51], DDR0_DQ[52], DDR0_DQ[53], DDR0_DQ[56], DDR0_DQ[63]
0.74	04.03.2020	Раздел «Модуль управления системой» таблицы 2-1 (с. 6) дополнена информацией о недоступности выделенных интерфейсов контроллера загрузки для ядер Cortex-A57
0.75	10.03.2020	Правки в оформлении документа
0.76	23.03.2020	В таблице 2-1 произошли следующие изменения: - в разделе «Процессорный модуль на базе Arm Cortex-A5»7 (с. 4) «48К» и «32К» заменены на «48 КБ» и «32 КБ» соответственно; - в раздел «Контроллер памяти DDR3/4» (с. 4) добавлена информация о поддержке DDR4U и DDR4L, исключена информация о поддержке LRDIMM; - в разделе «Подсистема PCIe Gen 3.0» (с. 6) откорректирована информация о скорости передачи данных, добавлена информация о максимальном размере пакета данных и количестве виртуальных каналов для PCIe x8